

c)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-177541

(43) 公開日 平成10年(1998) 6月30日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 13/28

識別記号

3 1 0

F I

G 0 6 F 13/28

3 1 0 H

3 1 0 J

審査請求 未請求 請求項の数20 O L (全 29 頁)

(21) 出願番号 特願平9-285497

(22) 出願日 平成9年(1997)10月17日

(31) 優先権主張番号 特願平8-275774

(32) 優先日 平8(1996)10月18日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 西川 順二

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

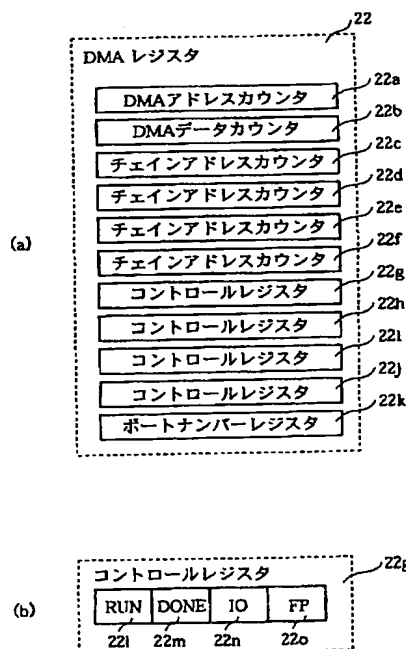
(74) 代理人 弁理士 中島 司朗

(54) 【発明の名称】 データ転送装置及びデータ転送システム

(57) 【要約】

【課題】 複数のポートを調停しストリームデータのDMA転送を効率よく行うことができるデータ転送装置を提供する。

【解決手段】 メモリ領域の先頭アドレスを格納するDMAアドレスカウンタ22aとメモリ領域のサイズを格納するDMAデータカウンタ22bとコマンドリストのアドレスを格納するチェインアドレスカウンタ22c〜fと1個のポートを選択する選択部と選択されたポートに対応するチェインアドレスカウンタ22c〜fに格納されたアドレスが示すコマンドリストに基づいて先頭アドレスをDMAアドレスカウンタ22aに転送しサイズをDMAデータカウンタ22bに転送しチェインアドレスカウンタ22c〜fに格納されたアドレスを更新する転送部と選択されたポートとDMAアドレスカウンタ22aに格納された先頭アドレスが示すメモリ領域との間でDMAデータカウンタ22bに格納されたサイズのストリームデータをDMA転送する転送部とを備える。



## 【特許請求の範囲】

【請求項1】 n個のポートとメモリとの間で、ストリームデータを、それぞれDMA転送するデータ転送装置であって、

nは2以上の整数であり、

前記メモリには、少なくとも1組のコマンドリストがあらかじめ格納されており、また、ストリームデータが格納されるメモリ領域が確保され、

前記コマンドリストはそれぞれ、ストリームデータが格納されるメモリ領域の先頭アドレスと、格納されるストリームデータのサイズとを含み、

n個のポートに対して兼用され、n個のポートのうちの1個との間で、次に、ストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、

n個のポートに対して兼用され、前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域とn個のポートのうちの1個との間でDMA転送されるストリームデータのサイズを格納するデータカウンタと、

1個のポートにそれぞれ1個が対応しており、それぞれ、特定のコマンドリストが格納されているメモリのアドレスを格納するn個のチェーンアドレスカウンタとを備え、

特定のチェーンアドレスカウンタに格納されたアドレスが示すコマンドリストは、そのコマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応し、そのコマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、

前記データ転送装置は、さらに、

前記特定のチェーンアドレスカウンタに対応するポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で、前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段を備えることを特徴とするデータ転送装置。

【請求項2】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェーンアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項1記載のデータ転送装置。

【請求項3】 前記データ転送装置は、さらに、前記n個のポートから1個のポートを選択するポート選択手段と、

前記ポート選択手段により1個のポートが選択される度に、前記ポート選択手段により選択された1個のポートに対応するチェーンアドレスカウンタに格納されたアドレスが示すコマンドリストを取得し、そのコマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレス

カウンタに転送し、そのコマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送し、また、前記チェーンアドレスカウンタに格納されたアドレスを、次のアドレスに更新するコマンドリスト転送手段とを備え、

前記ストリームデータ転送手段は、前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に、前記ポート選択手段により選択された1個のポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で、前記データカウンタに格納されたサイズのストリームデータをDMA転送することを特徴とする請求項1記載のデータ転送装置。

【請求項4】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェーンアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項3記載のデータ転送装置。

【請求項5】 前記コマンドリストはそれぞれ、さらに、次に選択されるポートを変更するか否かを示すコマンドを含み、

前記コマンドリスト転送手段は、さらに、前記ポート選択手段により1個のポートが選択される度に、前記ポート選択手段により選択された1個のポートに対応するチェーンアドレスカウンタに格納されたアドレスが示すコマンドリストを取得し、そのコマンドリストに含まれるコマンドを前記ポート選択手段へ渡し、

前記ポート選択手段は、前記ストリームデータ転送手段によりDMA転送が終了した場合に、あらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて、次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択することを特徴とする請求項3記載のデータ転送装置。

【請求項6】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェーンアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項5記載のデータ転送装置。

【請求項7】 前記n個のポートのうち少なくとも1個からは、一定量のストリームデータの転送要求を示す転送要求信号が出力され、

前記データ転送装置は、さらに、ポート毎に転送要求信号を受信する受信手段を備え、前記ポート選択手段は、ポートを選択する場合に、前記受信手段により転送要求信号が受信されたポートのみを選択することを特徴とする請求項5記載のデータ転送装置。

【請求項8】 前記データ転送装置は、さらに、

コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項7記載のデータ転送装置。

【請求項9】 前記n個のポートのうち少なくとも1個からは、転送要求信号が一定時間毎に出力され、前記受信手段は、さらに、

1個のポートにそれぞれ1個が対応しており、前記受信手段により対応するポートから転送要求信号が受信された場合に、要求ビットをセットするn個の要求ビット記憶手段を含み、

前記コマンドは、次に選択されるポートを変更することを示す場合は、さらに、選択されているポートに対応する要求ビット記憶手段にセットされた要求ビットをクリアするか否かを示し、

前記ポート選択手段は、前記コマンドリスト転送手段から渡されたコマンドに基づいて、選択されているポートに対応する要求ビット記憶手段にセットされた要求ビットをクリアするか又は何もせず、また、ポートを選択する場合に、対応する要求ビット記憶手段に要求ビットがセットされているポートのみを選択することを特徴とする請求項7記載のデータ転送装置。

【請求項10】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項9記載のデータ転送装置。

【請求項11】 前記データ転送装置は、さらに、前記ポート選択手段により1個のポートが選択される度に、選択されたポートと前記データカウンタに格納されたストリームデータのサイズとに基づいて、バス幅変換コマンドを生成し、バス幅変換手段へ送信するバス幅変換コマンド生成手段を備え、

バス幅変換コマンドは、ポートを特定する情報と、転送するストリームデータのデータ長を特定する情報とを含み、

前記データ転送装置は、さらに、

前記バス幅変換コマンドに基づいて、前記バス幅変換コマンドが示すポートのバス幅と前記メモリのバス幅とを交換しながら、当該ポートとの間で、前記バス幅変換コマンドが示すデータ長のストリームデータを転送するバス幅変換手段を備え、

前記バス幅変換手段は、n個のポートに対して兼用され、

前記ストリームデータ転送手段は、前記ポート選択手段により選択された1個のポートの代わりに、前記バス幅変換手段との間で、ストリームデータをDMA転送することを特徴とする請求項9記載のデータ転送装置。

【請求項12】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項11記載のデータ転送装置。

【請求項13】 前記データ転送装置は、さらに、前記メモリと前記バス幅変換手段との間で、ストリームデータをバッファリングする第1バッファ手段を備え、前記第1バッファ手段は、n個のポートに対して兼用され、

前記ストリームデータ転送手段は、前記バス幅変換手段の代わりに、前記第1バッファ手段との間で、ストリームデータをDMA転送することを特徴とする請求項11記載のデータ転送装置。

【請求項14】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項13記載のデータ転送装置。

【請求項15】 前記データ転送装置は、さらに、1個のポートにそれぞれ1個が対応しており、対応するポートと前記バス幅変換手段との間で、ストリームデータをバッファリングするn個の第2バッファ手段を備え、

前記バス幅変換手段は、当該ポートの代わりに、前記第2バッファ手段との間で、ストリームデータを転送することを特徴とする請求項13記載のデータ転送装置。

【請求項16】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項15記載のデータ転送装置。

【請求項17】 前記データ転送装置は、さらに、m倍速ポートとメモリとの間で、ストリームデータをDMA転送し、

mはn以下の整数であり、

前記データ転送装置は、さらに、

m個の第2バッファ手段のうちの1個にそれぞれ1個が対応しており、対応するポート又はm倍速ポートを選択し、対応する第2バッファ手段と対応するポート又はm倍速ポートとの間で、ストリームデータの入出力をコントロールするm個の第1I/Oコントローラと、前記m個の第2バッファ手段以外の(n-m)個の第2バッファ手段のうちの1個にそれぞれ1個が対応しており、対応する第2バッファ手段と対応するポートとの間で、ストリームデータの入出力をコントロールする(n-m)個の第2I/Oコントローラとを備え、

前記 $n$ 個の第2バッファ手段は、対応するポートの代わりに、対応するI/Oコントローラとの間で、ストリームデータをバッファリングし、  
前記 $m$ 倍速ポートは、 $m$ 個の第1I/Oコントローラと接続されており、前記 $n$ 個のポートは、それぞれ $m$ 個の第1I/Oコントローラと $(n-m)$ 個の第2I/Oコントローラと接続されていることを特徴とする請求項15記載のデータ転送装置。

【請求項18】 前記データ転送装置は、さらに、コマンドリストを生成し、前記メモリに格納し、このコマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とする請求項17記載のデータ転送装置。

【請求項19】 大規模記憶装置から $n$ 個のポートへ、ストリームデータを、それぞれDMA転送するデータ転送システムであって、  
 $n$ は2以上の整数であり、  
あらかじめストリームデータが格納されている大規模記憶装置と、

ストリームデータが格納される領域が確保されているメモリと、

第1コマンドリストを生成するコマンドリスト生成手段とを備え、

前記第1コマンドリストは、前記大規模記憶装置に格納されたストリームデータを特定する情報と、ストリームデータが格納されるメモリ領域のアドレスを特定する情報と、格納されるストリームデータのサイズを特定する情報とを含み、

前記データ転送システムは、さらに、

前記コマンドリスト生成手段から転送された第1コマンドリストに基づいて、大規模記憶装置からメモリへ、サイズの特定されたストリームデータをDMA転送する第1データ転送装置を備え、

前記コマンドリスト生成手段は、さらに、前記第1コマンドリストを前記第1データ転送装置に転送し、第2コマンドリストを生成し、前記メモリに格納し、

前記第2コマンドリストは、ストリームデータが格納されるメモリ領域の先頭アドレスと、格納されるストリームデータのサイズと、次に選択されるポートを変更するか否かを示すコマンドとを含み、

前記データ転送システムは、さらに、

第2データ転送装置を備え、

前記第2データ転送装置は、

$n$ 個のポートに対して兼用され、 $n$ 個のポートのうちの1個へ、次に、DMA転送されるストリームデータが格納されているメモリ領域の先頭アドレスを格納するアドレスカウンタと、

$n$ 個のポートに対して兼用され、前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から $n$ 個の

ポートのうちの1個へ、MA転送されるストリームデータのサイズを格納するデータカウンタと、

1個のポートにそれぞれ1個が対応しており、それぞれ、特定の第2コマンドリストが格納されているメモリのアドレスを格納する $n$ 個のチェインアドレスカウンタとを含み、

特定のチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストは、その第2コマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応し、その第2コマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、

前記第2データ転送装置は、さらに、

前記 $n$ 個のポートから1個のポートを選択するポート選択手段と、

前記ポート選択手段により1個のポートが選択される度に、前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストを取得し、その第2コマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送し、その第2コマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送し、その第2コマンドリストに含まれるコマンドを前記ポート選択手段へ渡し、また、前記チェインアドレスカウンタに格納されたアドレスを、次のアドレスに更新するコマンドリスト転送手段と、

前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から前記ポート選択手段により選択された1個のポートへ、前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段とを含み、

前記ポート選択手段は、前記ストリームデータ転送手段によりDMA転送が終了した場合に、あらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて、次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択し、

前記ストリームデータ転送手段は、前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に、前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から前記ポート選択手段により選択された1個のポートへ、前記データカウンタに格納されたサイズのストリームデータをDMA転送し、

前記コマンドリスト生成手段は、さらに、前記第1データ転送装置によりサイズの特定されたストリームデータがメモリへDMA転送されるのを待って、この第2コマンドリストのアドレスを、ストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送することを特徴とするデータ転送システム。

【請求項20】  $n$ 個のポートから大規模記憶装置へ、

ストリームデータを、それぞれDMA転送するデータ転送システムであって、

nは2以上の整数であり、

ストリームデータが格納される領域が確保されている大規模記憶装置と、

ストリームデータが格納される領域が確保されているメモリと、

第2コマンドリストを生成し、前記メモリに格納するコマンドリスト生成手段とを備え、

前記第2コマンドリストは、ストリームデータが格納されるメモリ領域の先頭アドレスと、格納されるストリームデータのサイズと、次に選択されるポートを変更するか否かを示すコマンドとを含み、

前記データ転送システムは、さらに、

第2データ転送装置を備え、

前記第2データ転送装置は、

n個のポートに対して兼用され、n個のポートのうちの1個から、次に、ストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、

n個のポートに対して兼用され、n個のポートのうちの1個から前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域へ、DMA転送されるストリームデータのサイズを格納するデータカウンタと、

1個のポートにそれぞれ1個が対応しており、それぞれ、特定の第2コマンドリストが格納されているメモリのアドレスを格納するn個のチェインアドレスカウンタとを含み、

特定のチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストは、その第2コマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応し、その第2コマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、

前記第2データ転送装置は、さらに、

前記n個のポートから1個のポートを選択するポート選択手段と、

前記ポート選択手段により1個のポートが選択される度に、前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストを取得し、その第2コマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送し、その第2コマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送し、その第2コマンドリストに含まれるコマンドを前記ポート選択手段へ渡し、また、前記チェインアドレスカウンタに格納されたアドレスを、次のアドレスに更新するコマンドリスト転送手段と、

前記ポート選択手段により選択された1個のポートから前記アドレスカウンタに格納された先頭アドレスが示す

メモリ領域へ、前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段とを含み、

前記ポート選択手段は、前記ストリームデータ転送手段によりDMA転送が終了した場合に、あらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて、次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択し、

前記ストリームデータ転送手段は、前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に、前記ポート選択手段により選択された1個のポートから前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域へ、前記データカウンタに格納されたサイズのストリームデータをDMA転送し、

前記コマンドリスト生成手段は、さらに、前記第2コマンドリストのアドレスを前記第2データ転送装置に転送し、第1コマンドリストを生成し、前記メモリに格納し、

前記第1コマンドリストは、前記大規模記憶装置に格納されたストリームデータを特定する情報と、ストリームデータが格納されるメモリ領域のアドレスを特定する情報と、格納されるストリームデータのサイズを特定する情報とを含み、

前記データ転送システムは、さらに、

前記コマンドリスト生成手段から転送された第1コマンドリストに基づいて、メモリから大規模記憶装置へ、サイズの特定期間されたストリームデータをDMA転送する第1データ転送装置を備え、

前記コマンドリスト生成手段は、さらに、前記第2データ転送装置によりサイズの特定期間されたストリームデータがメモリへDMA転送されるのを待って、この第1コマンドリストを前記第1データ転送装置に転送することを特徴とするデータ転送システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のI/Oポート（入出力ポート）を対象とするデータ転送の競合を調節することができるデータ転送装置及びデータ転送システムであって、特に複数のI/OポートとそのI/Oポート毎に割当てられた記憶領域との間で、一定量毎に区切られたストリームデータを、それぞれDMA（ダイレクト・メモリ・アクセス）転送するデータ転送装置及びデータ転送システムに関する。

【0002】

【従来の技術】ビデオデータ等の連続情報であるストリームデータを、複数のユーザに対して入力及び出力するデータ転送システムは、特定されたユーザとのストリームデータの転送要求に基づいて、ユーザ毎に特定されたストリームデータを転送するデマンド型サービスを行

う。

【0003】このようなデータ転送システムは、多くのストリームデータを格納するための、HDD（ハードディスクドライブ）や光ディスク装置等の大容量記憶装置を有している。この大容量記憶装置に格納されているストリームデータの中から、ユーザ毎に特定されたストリームデータが抽出され、チャンネルを通じて各ユーザに転送されたり、また、チャンネルを通じて各ユーザから転送されたストリームデータがこの大容量記憶装置に格納されたりする。ここで、チャンネルとは、各ユーザ毎に割り当てられた、データを転送するためのI/Oポートをいう。

【0004】図22は、従来のデータ転送システムの概略を示す図である。この装置は、CPU10、メモリ11、システムバス12、SCSIインターフェイス13、HDD14a、HDD14b、HDD14c、HDD14d、ストリームインターフェイス50a、ストリームインターフェイス50b、ストリームインターフェイス50c及びストリームインターフェイス50dから構成される。なお、外部機器として、ビデオモニター16a、ビデオモニター16b、ビデオモニター16c及びビデオカセットレコーダ17を同じ図上に示す。

【0005】CPU10は、各ユーザとのストリームデータの転送要求に基づいて、特定されたストリームデータを転送するために必要なコマンド等を作成してメモリ11に記憶し、このコマンド等をメモリ11からSCSIインターフェイス13及びストリームインターフェイス50a、ストリームインターフェイス50b、ストリームインターフェイス50c又はストリームインターフェイス50dへ転送する。

【0006】メモリ11は、CPU10が作成するコマンド等が記憶されたり、ストリームデータが転送される場合に、一次的にストリームデータが記憶されたりする。システムバス12は、CPU10、メモリ11、SCSIインターフェイス13、ストリームインターフェイス50a、ストリームインターフェイス50b、ストリームインターフェイス50c及びストリームインターフェイス50dと接続されており、接続されている各部分の相互間で、ストリームデータ又はコマンド等を転送する場合に使用される。なお、システムバス12には、例えばローカルバスの規格であるPCI（Peripheral Component Interconnect）バスが使用される。このPCIバスは、バス幅が32bit又は64bitであり、動作周波数が33MHzである。例えば、バス幅が32bitで動作周波数が33MHzの場合には、133MB/sのデータ転送性能が可能である。

【0007】SCSIインターフェイス13は、システムバス12、HDD14a、HDD14b、HDD14c及びHDD14dと接続されており、CPU10によ

りストリームデータを転送するために必要なコマンド等を転送され、これに基づいてシステムバス12を介して接続されたメモリ11と各HDDとの間でストリームデータを転送する。

【0008】HDD14a、HDD14b、HDD14c及びHDD14dは、ストリームデータを格納する。ストリームインターフェイス50aは、システムバス12及びビデオモニター16aと接続されている。ストリームインターフェイス50bは、システムバス12及びビデオモニター16bと接続されている。

【0009】ストリームインターフェイス50cは、システムバス12及びビデオモニター16cと接続されている。ストリームインターフェイス50dは、システムバス12及びビデオカセットレコーダ17と接続されている。各ストリームインターフェイスは、CPU10によりストリームデータを転送するために必要なコマンド等を転送され、これに基づいて、システムバス12を介して接続されたメモリ11と各外部機器との間でストリームデータを転送する。なお、各ストリームインターフェイスと各外部機器との接続には、例えばシリアルデジタル伝送の規格であるIEEE1394が用いられる。IEEE1394の規格では最大で100Mbps程度の伝送が可能であるので、30Mbps程度の映像情報であれば十分に余裕をもって伝送が可能である。

【0010】また、SCSIインターフェイス13と各ストリームインターフェイスが実行するデータ転送には、一般にDMA転送が使用される。従来のDMA転送の一例は、特開平5-151146号公報（DMA転送方式）に開示されている。この従来技術では、次の転送元のアドレスと転送するデータのバイト長をたどる手段を設けることによって、複数のDMA転送をCPUから一度起動するだけで実行することができる。このようなチェーン化されたDMA転送は、映像データ等のビットレートが高くかつデータ量の大きいストリームデータを、連続的に転送するのに適している。

【0011】また、仮想記憶方式で管理されているメモリと入出力装置との間のDMA転送については、例えば実開平3-54058（DMA制御回路）に開示されている。この従来技術では、チェーン化されたDMA転送を実行することによって、仮想記憶方式で管理されているメモリに記憶されたデータを、連続的に転送することができる。

【0012】さらにまた、複数の入出力装置とメモリとの間のDMA転送については、例えば特開平6-250965号公報（入出力制御装置）に開示されている。この従来技術では、複数のコマンド及びステータスを保持することによって、処理効率を向上させている。さらにまた、複数の入出力機器とDRAM（ダイナミックRAMデバイス）により構成されるメモリとの間のDMA転送については、例えば特開平5-334232号公報

10

20

30

40

50

(DMA転送制御装置)に開示されている。この従来技術では、一回当たりのアクセス数をあらかじめ設定することによって、入出力機器間の転送量の偏りをなくし、且つDRAMが備えている高速アクセスモードによるメモリアccessの頻度を高め、データ転送の効率を向上させている。

【0013】このような従来のデータ転送システムのデータ転送には、以下のような特徴がある。第1に、HDDとメモリ又はメモリとストリームインターフェイスとの間のデータ転送は、連続して記憶されているストリームデータを、ある程度まとまった大きさのブロック単位で読み出している。こうすることによって、効率よくデータを読み出すことができ、且つ読み出し毎に発生する一回の処理当たりのデータ量を多くし、トータルのデータ転送レートを高くしている。したがって、システムバスの占有時間を短くすることができ、システムバスを有効に利用できる。ここで、データ転送レートとは、単位時間当たりに転送するデータの量を示す値である。なお、例えば、Fast Wide SCSI規格のインターフェイスを持つHDDのデータ転送レートは20MB/sである。

【0014】第2に、1つのチャネルのデータ転送レートは、HDDとメモリ又はメモリとストリームインターフェイスとの間のデータ転送レートよりも低い値である。例えば、MPEG1の規格により圧縮された映像情報のデータ転送レートは、1.5Mbps (=0.1875MB/s)である。また、より高画質の圧縮された映像情報であっても、そのデータ転送レートは30Mbps (=3.75MB/s)程度である。

【0015】したがって、一台のデータ転送システムが複数の映像情報を、同時に転送することができる。なお、このような映像情報は、通常毎秒30フレームで構成されており、フレーム単位で管理される。このようなフレームの区切りを示すため、フレームパルスが用いられる。

【0016】しかしながら、上記従来技術によれば、各I/Oポートについてのデータ転送相互間の調整がなされないで、複数のI/Oポートに出力する各ストリームデータのリアルタイム性を保証することができない。特に、複数の映像情報を出力する場合に、映像情報が一定時間以上途切れて映像が乱れるという問題がある。

【0017】

【発明が解決しようとする課題】そこで、本発明はかかる問題点に鑑みてなされたものであり、複数のI/Oポートに出力する各ストリームデータが一定時間以上途切れないように複数のI/Oポートを調停し、データ転送を効率よく行うことができるデータ転送装置及びデータ転送システムを提供することを目的とする。

【0018】

【課題を解決するための手段】上記目的を達成するため

に、本発明に係るデータ転送装置は、n個のポートとメモリとの間でストリームデータをそれぞれDMA転送するデータ転送装置であって、nは2以上の整数であり、前記メモリには少なくとも1組のコマンドリストがあらかじめ格納されており、また、ストリームデータが格納されるメモリ領域が確保され、前記コマンドリストはストリームデータが格納されるメモリ領域の先頭アドレスと格納されるストリームデータのサイズと次に選択されるポートを変更するか否かを示すコマンドとを含み、n個のポートに対して兼用されn個のポートのうちの1個との間で次にストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、n個のポートに対して兼用され前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域とn個のポートのうちの1個との間でDMA転送されるストリームデータのサイズを格納するデータカウンタと、1個のポートにそれぞれ1個が対応しておりそれぞれ特定のコマンドリストが格納されているメモリのアドレスを格納するn個のチェインアドレスカウンタとを備え、特定のチェインアドレスカウンタに格納されたアドレスが示すコマンドリストはそのコマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応しそのコマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、前記データ転送装置は、さらに、前記n個のポートから1個のポートを選択するポート選択手段と、前記ポート選択手段により1個のポートが選択される度に前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示すコマンドリストを取得しそのコマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送しそのコマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送しそのコマンドリストに含まれるコマンドを前記ポート選択手段へ渡した前記チェインアドレスカウンタに格納されたアドレスを次のアドレスに更新するコマンドリスト転送手段と、前記ポート選択手段により選択された1個のポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段とを備え、前記ポート選択手段は前記ストリームデータ転送手段によりDMA転送が終了した場合にあらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択し、前記ストリームデータ転送手段は前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に前記ポート選択手段により選択された1個のポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で前記データカウンタに格納

されたサイズのストリームデータをDMA転送する。

【0019】この構成によれば、複数のI/Oポートを調停することができるので、複数のストリームデータを効率よく転送することができる。また、複数の入出力装置に対する転送を比較的少ないハードウェア量で実現することができ、しかも拡張が容易である。さらに、この複数のストリームデータは非同期であってもよく、非同期な各ポートに均等にDMA転送を割り当てることも、特定のポートに特定の割合でDMA転送を割り当てることもできる。

【0020】また、互いに他のポートの転送状態に影響されずに、ストリームデータを転送できる。よって、システムバス上には各ポートのデータがバースト転送単位で分散され、システム全体としてマルチポートマルチデバイスのデータ転送を効率よく実行できる。特に、2つのバッファ部でのバス交換機能により、ハードウェア量を削減しつつ、システムバス上での総合的なデータ転送をより効率よく行なうことができる。

【0021】さらにまた、m倍速の入出力ポートにもポート側のわずかな配線の追加で対応が可能であり、ソフトウェアをほとんど同じにすることができるので非常に使い易いシステムとなる。

【0022】

【発明の実施の形態】

（実施の形態1）

<全体の構成>図1は、本発明の実施例におけるデータ転送システムの概略を示す図である。このシステムは、ストリームインターフェイス50a、ストリームインターフェイス50b、ストリームインターフェイス50c及びストリームインターフェイス50dに代えてマルチストリームインターフェイス15を有する以外は、図2の従来のデータ転送システムと基本的に同じ構成である。したがって共通部分の説明は省略し、マルチストリームインターフェイス15を中心に説明する。

【0023】また、ポート41a、ポート41b、ポート41c及びポート41dは、各外部機器との接続部である。ここでは、各ユーザへのストリームデータの転送要求に基づいて、このシステムから外部機器へストリームデータを転送する場合について説明する。HDD14a、HDD14b、HDD14c又はHDD14dに

【0024】CPU10は、各ユーザへのストリームデータの転送要求に基づいて、特定されたストリームデータを1フレーム単位毎にHDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送するためのHDDコマンドを作成してメモリ11に一旦記憶させ、SCSIインターフェイス13へ転送し、メモリ11に格納された1フレーム単位のストリームデータをメモリ11から特定された外部機器へDMA

転送するための外部機器別コマンドとコマンドリストを作成してメモリ11に記憶させる。さらに、CPU10は、SCSIインターフェイス13によりストリームデータの1フレーム単位がHDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送されると、マルチストリームインターフェイス15の準備ができるのを待って、外部機器別コマンドをメモリ11からマルチストリームインターフェイス15へ転送する。

10 【0025】さらに、CPU10は、転送要求されたストリームデータが全フレーム転送されていない場合は、上記動作を繰り返し実行し、SCSIインターフェイス13により次の1フレーム単位のストリームデータがメモリ11にDMA転送される度に、マルチストリームインターフェイス15が1フレーム単位のストリームデータをメモリ11から特定された外部機器に対応する内部バッファへDMA転送するための準備ができるのを待って、次の1フレーム単位のストリームデータをDMA転送するための外部機器別コマンドを、メモリ11からマルチストリームインターフェイス15へ転送する。

20 【0026】CPU10は、接続された外部機器毎に、上記の動作を並列に実行する。なお、コマンドリスト及びマルチストリームインターフェイス15の詳細構成は後述する。なお、外部機器からこの装置へストリームデータを転送する場合は、データ転送の方向及び手順が逆になるだけで容易に実現される。

30 【0027】<メモリ11内に確保されたバッファ領域の詳細構成>図2は、ストリームデータが一次的に格納される、メモリ11内に確保されたバッファ領域を示す図である。ストリームデータA61a、ストリームデータB61b及びストリームデータC61cは、DMA転送されたストリームデータを示す。なお、全ストリームデータは、メモリ11に転送される前は連続していたものとする。

40 【0028】スタートアドレスA62a、スタートアドレスB62b、スタートアドレスC62cは、各ストリームデータのスタートアドレスを示す。データサイズA63a、データサイズB63b及びデータサイズC63cは、各ストリームデータのサイズを示す。ここでは、OSとしてUNIX等のマルチタスクマルチユーザのOSを使用する場合を想定する。通常この様なOSの管理下では、メモリ11はページ単位で仮想記憶管理され、1ページのサイズは4KBであり、記憶領域は4KB毎に分割された飛び飛びの領域となる。また、スタートアドレスは、バイトアドレスの場合は下位12ビット全てが値0であり上位20ビットがページアドレスを表す。なお、データサイズは、1ページ全体を使用する場合は4096バイト（12ビット全てが値1）である。

50 【0029】<コマンドリストの詳細構成>図3は、メモリ11に格納されるコマンドリストの構成を示す図で



ある。ここで、コマンドリストはリスト形式でメモリ上に置かれる。なお、図3に示すようにコマンドリストが順番に複数個並んでいるものをチェインリストという。

【0030】ここで、コマンドリストA64aは、スタートアドレスA65a、データサイズA67a及びDMAコマンドビットA66aを含み、同様に、コマンドリストB64bは、スタートアドレスB65b、データサイズB67b及びDMAコマンドビットB66bを含み、コマンドリストC64cは、スタートアドレスC65c、データサイズC67c及びDMAコマンドビットC66cを含む。

【0031】スタートアドレスA65a、スタートアドレスB65b及びスタートアドレスC65cは、ストリームデータがDMA転送される、メモリ11内に確保されたバッファ領域のスタートアドレスを示す。データサイズA67a、データサイズB67b及びデータサイズC67cは、DMA転送されるストリームデータのサイズを示す。

【0032】DMAコマンドビットA66a、DMAコマンドビットB66b及びDMAコマンドビットC66cは、次のDMA転送の操作(operation)を示す。図4は、DMAコマンドビットの内容を示す図である。ここでは、DMAコマンドビットは、同一ポート(same-port)66d、ポートの切り替え(change-port)66e、チェインリストの終了(end-of-chain)66f及びフレームパルス待ち(wait-for-frame-pulse)66gの4種類の操作を示す。

【0033】同一ポート66dは、対応するポートに対するDMA転送の終了後にもう1度、同じポートに対してDMA転送することを示す。ポートの切り替え66eは、対応するポートに対するDMA転送の終了後に、違うポートに対してDMA転送するか否かを判断することを示す。チェインリストの終了66fは、チェインリストが終了したことを示す。

【0034】フレームパルス待ち66gは、対応するポートに対するDMA転送の終了後に、違うポートに対してDMA転送するか否かを判断することと、さらに、同じポートがフレームパルスを受信するまで、このポートに対してDMA転送しないことを示す。コマンドリストアドレスA68a、コマンドリストアドレスB68b及びコマンドリストアドレスC68cは、それぞれコマンドリストA64a、コマンドリストB64b及びコマンドリストC64cのスタートアドレスを示す。

【0035】＜マルチストリームインターフェイス15の詳細構成＞図5は、マルチストリームインターフェイス15の詳細な構成を示す図である。このマルチストリームインターフェイス15は、DMAコントローラ20、BFIFO23、バッファコントローラ30、バッファ33a、バッファ33b、バッファ33c、バッファ33d、I/Oコントローラ40a、I/Oコントローラ40b、I/Oコントローラ40c及びI/Oコントローラ40dから構成される。ここで、4×ポート42は、図1には示されていないが、他のポートに比べてストリームデータが4倍速で転送されるポートであり、他の外部機器に比べてストリームデータが4倍速で転送されるVCR（ビデオカセットレコーダ）等が接続される。

【0036】なお、システムバス12、ポート41a、ポート41b、ポート41c及び4×ポート42を同じ図上に示す。ここで、ポート41a、ポート41b、ポート41c及び4×ポート42からは、フレームパルスが出力されるものとする。また、×nmode43、FP44a、FP44b、FP44c及びFP44dは制御線である。

【0037】なお、図5では、上記以外の制御線等は一部省略している。DMAコントローラ20は、システムバス12へのメモリアクセスの制御等を行なうバスコントローラ21とDMAに必要な情報を保持するDMAレジスタ22とを含む。BFIFO23は、双方向のFIFOメモリ（先入先出メモリ）であり、DMAコントローラ20とバッファコントローラ30との間で、データ転送のバッファリングを行う。

【0038】バッファコントローラ30は、BFIFO23とバッファ33a、バッファ33b、バッファ33c、バッファ33dとの間でデータ転送を行う。さらに、バッファコントローラ30は、BFIFO23とバッファ33a、バッファ33b、バッファ33c、バッファ33dとのデータの転送を制御するバッファインターフェイス31と、バッファ間のデータ転送に必要な情報を保持するバッファレジスタ32を含む。

【0039】バッファ33a、バッファ33b、バッファ33c及びバッファ33dは、例えばフィールドメモリであり、バッファコントローラ30と各I/Oコントローラとの間で、データ転送のバッファリングを行う。バッファ33a、バッファ33b、バッファ33c、バッファ33dの各ポート側には、それぞれI/Oコントローラ40a、I/Oコントローラ40b、I/Oコントローラ40c、I/Oコントローラ40dが接続される。

【0040】I/Oコントローラ40aは、バッファ33aとポート41a又は4×ポート42とのデータ転送を行い、同様に、I/Oコントローラ40bは、バッファ33bとポート41b又は4×ポート42とのデータ転送を行い、I/Oコントローラ40cは、バッファ33cとポート41c又は4×ポート42とのデータ転送を行い、I/Oコントローラ40dは、バッファ33dとポート41d又は4×ポート42とのデータ転送を行う。

【0041】×nmode43は、バッファコントローラ

ラ30がI/Oコントローラ40a、I/Oコントローラ40b、I/Oコントローラ40c又はI/Oコントローラ40dを選択するための制御線である。FP44aは、I/Oコントローラ40aがポート41aから受信したフレームパルスを、DMAコントローラ20へ伝達するための制御線であり、同様に、FP44bは、I/Oコントローラ40bがポート41bから受信したフレームパルスを、DMAコントローラ20へ伝達するための制御線であり、FP44cは、I/Oコントローラ40cがポート41cから受信したフレームパルスを、DMAコントローラ20へ伝達するための制御線であり、FP44dは、I/Oコントローラ40dがポート41dから受信したフレームパルスを、DMAコントローラ20へ伝達するための制御線である。

【0042】<DMAレジスタ22の詳細構成>図6(a)は、図5に示したDMAコントローラ20に含まれるDMAレジスタ22の詳細な構成を示す図である。このレジスタ群は、DMAアドレスカウンタ22a、DMAデータカウンタ22b、チェインアドレスカウンタ22c、チェインアドレスカウンタ22d、チェインアドレスカウンタ22e、チェインアドレスカウンタ22f、コントロールレジスタ22g、コントロールレジスタ22h、コントロールレジスタ22i、コントロールレジスタ22j及びポートナンバーレジスタ22kから構成される。

【0043】ここで、図1に示すメモリ11には、1個以上のコマンドリストがあらかじめ格納されており、また、ストリームデータが格納されるメモリ領域が確保されているものとする。DMAアドレスカウンタ22aは、4個のポートのうちの1個との間で、次に、ストリームデータがDMA転送されるメモリ領域のスタートアドレスを格納する。

【0044】DMAデータカウンタ22bは、DMAアドレスカウンタ22aに格納されたスタートアドレスが示すメモリ領域と4個のポートのうちの1個との間で、DMA転送されるストリームデータのサイズを格納する。チェインアドレスカウンタ22c、チェインアドレスカウンタ22d、チェインアドレスカウンタ22e及びチェインアドレスカウンタ22fは、1個のポートにそれぞれ1個が対応しており、それぞれ、特定のコマンドリストが格納されているメモリのアドレスを格納する。

【0045】ここで、特定のチェインアドレスカウンタに格納されたアドレスが示すコマンドリストは、そのコマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応し、そのコマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応する。コントロールレジスタ22g、コントロールレジスタ22h、コントロールレジスタ22i及びコントロールレジスタ22jは、1個のポ

ートにそれぞれ1個が対応しており、各ポート毎のDMA転送の状態を示す。ここでは、コントロールレジスタ22g、コントロールレジスタ22h、コントロールレジスタ22i及びコントロールレジスタ22jは、それぞれポート41a、ポート41b、ポート41c及びポート41dが対応しているものとする。

【0046】図6(b)は、コントロールレジスタ22gの内部のビットフィールドの構成を示した図である。なお、コントロールレジスタ22h、コントロールレジスタ22i及びコントロールレジスタ22jは、コントロールレジスタ22gと基本的に同じ構成であるのでその説明を省略する。コントロールレジスタ22gは、RUN221、DONE22m、IO22n及びFP22oから構成される。

【0047】RUN221は、対応するポート41aに対してDMA転送を起動するか否かを示す。CPU10により、対応するポート41aに対してDMA転送を起動する際に直接セットされる。ここでは、「1」が起動することを示し、「0」が起動しないことを示すこととする。DONE22mは、対応するポート41aに対するDMA転送が終了したか否かを示す。対応するポート41aに対するDMA転送の際に読み出されたコマンドリストに含まれるDMAコマンドビットが、チェインリストの終了66fの場合にセットされて、対応するポート41aに対する1回のDMA転送が終了したことを示し、CPU10によりDMA転送が起動される際にリセットされる。ここでは、「1」が対応するポート41aに対するDMA転送が終了したことを示し、「0」がDMA転送が終了していないことを示すこととする。

【0048】IO22nは、対応するポート41aに対するDMA転送の方向を示す。ここでは「0」がポート41aへストリームデータを出力することを示し、「1」がポート41aからストリームデータを入力することを示すこととする。FP22oは、対応するポート41aからフレームパルスを受信したか否かを示す。なお、FP22oは、対応するポート41aに対するDMA転送の際に読み出されたコマンドリストに含まれるDMAコマンドビットが、フレームパルス待ち66gの場合にはリセットされ、対応するポート41aからフレームパルスを受信するとセットされる。ここでは、「0」がフレームパルス待ち状態を示し、「1」が転送待ち状態を示すこととする。

【0049】ポートナンバーレジスタ22kは、ストリームデータがDMA転送されるポートの番号を格納する。

<バスコントローラ21の詳細構成>図7は、図5に示したDMAコントローラ20に含まれるバスコントローラ21の詳細な構成を示す図である。

【0050】バスコントローラ21は、フレームパルス受信部21a、ポート選択部21b、コマンドリスト転

送部21c、ストリームデータ転送部21d及びバッファコマンド生成部21eから構成される。フレームパルス受信部21aは、ポート毎にフレームパルスを受信し、フレームパルスを受信したポートに対応するFPをセットする。

【0051】ポート選択部21bは、コマンドリスト転送部21cから渡されたDMAコマンドビットに基づいて、選択されているポートに対応するFPをクリアするか又は何もせず、また、あらかじめ決められた順序とコマンドリスト転送部21cに渡されたDMAコマンドビットとに基づいて、対応するRUNとFPとがセットされDONEがセットされていないポートの中から、次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択する。

【0052】コマンドリスト転送部21cは、ポート選択部21bにより1個のポートが選択される度に、選択された1個のポートに対応するチェインアドレスカウンタに格納されたスタートアドレスが示すコマンドリストを取得し、そのコマンドリストに含まれるDMAコマンドビットをポート選択部21bに渡し、そのコマンドリストに含まれるメモリ領域のスタートアドレスをDMAアドレスカウンタ22aに転送し、そのコマンドリストに含まれるストリームデータのサイズをDMAデータカウンタ22bに転送し、また、対応するチェインアドレスカウンタに格納されたスタートアドレスを、次のスタートアドレスに更新する。

【0053】ストリームデータ転送部21dは、コマンドリスト転送部21cによりストリームデータのサイズがDMAデータカウンタ22bに転送される度に、ポート選択部21bにより選択された1個のポートとDMAアドレスカウンタ22aに格納されたスタートアドレスが示すメモリ領域との間で、前記DMAデータカウンタ22bに格納されたサイズのストリームデータをDMA転送する。

【0054】バッファコマンド生成部21eは、ポート選択部21bにより1個のポートが選択される度に、選択されたポートとBFIFO23のメモリ容量とDMAデータカウンタ22b格納されたストリームデータのサイズとに基づいて、選択するバッファ及び転送するデータ長に関する情報を含むバッファコマンドを生成し、バッファコントローラ30へ送信する。

【0055】図8は、バッファコマンド生成部により生成されるバッファコマンド22pの内部のビットフィールドの構成を示した図である。バッファコマンド22pは、MODE22q及びデータ長22rから構成される。MODE22qは、ストリームデータを転送するバッファの識別情報とデータ転送の方向を示す。

【0056】データ長22rは、転送するデータの長さを示す。

<BFIFO23の詳細構成>図9は、図5に示したB

FIFO23の詳細な構成を示す図である。BFIFO23は、FIFO25a、FIFO25b、データI/Oポート24a及びデータI/Oポート24bから構成される。

【0057】なお、EmptyフラグEA26a、EmptyフラグEB26b、FullフラグFA26c、FullフラグFB26d、FDA26e及びFDB26fを図上に示す。FIFO25aは、DMAコントローラ20からバッファコントローラ30へのデータ転送に使用される。

【0058】FIFO25bは、バッファコントローラ30からDMAコントローラ20へのデータ転送に使用される。データI/Oポート24aは、DMAコントローラ20と接続するFIFOを選択する。データI/Oポート24bは、バッファコントローラ30と接続するFIFOを選択する。

【0059】EmptyフラグEA26a及びEmptyフラグEB26bは、接続されるFIFOに格納されたデータが空であることを示す。FullフラグFA26c及びFullフラグFB26dは、接続されるFIFOに格納されたデータが満杯であることを示す。FDA26eは、DMAコントローラ20と接続するバスである。

【0060】FDB26fは、バッファコントローラ30と接続するバスである。FIFOメモリは、そのメモリ領域の全てについて完全な非同期入出力ができる。このように、BFIFO23は、このFIFOメモリを双方向に備えることにより、データ転送の方向を意識することなく、DMAコントローラ20とバッファコントローラ30との間の、データ転送のバッファリングを行うことができる。

【0061】なお、BFIFO23を構成するFIFO25a及びFIFO25bのメモリ容量は、DMAコントローラ20とメモリ11との間の、バースト転送（連続データ転送）の1回分に対応する程度の量で十分である。ここでは、FIFO25a及びFIFO25bのメモリ容量は、それぞれ1ワードを32ビットとして、32ワード分である。

【0062】<バッファインターフェイス31の詳細構成>図10は、図5に示すバッファインターフェイス31の詳細な構成を示す図である。ここでは、BFIFO23からバッファ33a、バッファ33b、バッファ33c又はバッファ33dへ、ストリームデータを転送する場合のみ説明する。

【0063】バッファインターフェイス31は、ラッチ35a、ラッチ35b、ラッチ35c、ラッチ35d及びバス幅変換部（BUS-width-converter）36から構成される。なお、バッファ33a、バッファ33b、バッファ33c、バッファ33d及びバッファレジスタ32を同じ図上に示す。

【0064】ラッチ35a、ラッチ35b、ラッチ35c及びラッチ35dは、一時的に8ビットのデータを保持する。ここでは、32ビットバスFDBを介してBFIFO23から転送されたデータがそれぞれ8ビットに4分割されて一次的にラッチされる。バス幅変換部36は、バッファを選択しバス幅を32ビットから8ビットに変換する。ここでは、例えばバッファ33aを選択し、ラッチ35a、ラッチ35b、ラッチ35c及びラッチ35dでラッチされた4つの8ビットデータを、順番に転送することによって、バス幅を32ビットから8

ビットに変換する。  
【0065】なお、選択するバッファ及び転送するデータの長さに関する情報を含むバッファコマンドは、データ転送の前にDMAコントローラ20からバッファコントローラ30に送信され、これに基づいて、バス幅変換部36がストリームデータを転送する。また、転送先のバッファの選択は、必ずしも32ビット単位でなくともよく、各ラッチにラッチされた8ビットデータの単位でもよい。

【0066】さらに、バッファ33a、バッファ33b、バッファ33c又はバッファ33dからBFIFO23へストリームデータを転送する場合は、データ転送の方向及び手順が逆になるだけで容易に実現されるので、その説明を省略する。

<バッファレジスタ32の詳細構成>図11は、図5に示したバッファレジスタ32の詳細な構成を示す図である。

【0067】このレジスタ群は、ポートナンバーレジスタ32a、4×mode32b、in/out32c、in/out32d、in/out32e、in/out32f及びデータ長32gから構成される。ポートナンバーレジスタ32aは、ストリームデータがバス幅変換されるポートの番号を格納する。

【0068】4×mode32bは、4倍速モードのバス幅変換時にのみセットされる。in/out32cは、バッファ33aに対するデータ転送の方向を示し、同様に、in/out32dは、バッファ33bに対するデータ転送の方向を示し、in/out32eは、バッファ33cに対するデータ転送の方向を示し、in/out32fは、バッファ33dに対するデータ転送の方向を示す。

【0069】データ長32gは、バス幅変換されるストリームデータのデータ長を格納する。なお、これらの各レジスタは、図8に示すバッファコマンド22pにより設定される。

<バッファ33a、バッファ33b、バッファ33c及びバッファ33dの詳細構成>図12は、図5に示すバッファ33aの詳細な構成を示す図である。なお、バッファ33b、バッファ33c及びバッファ33dは、バッファ33aと基本的に同じ構成であるのでその説明を

省略する。

【0070】ここでは、フィールドメモリ(Field-memory)34aを使った例を示す。なお、書き込み用のデータバスであるWD34b、読み出し用のデータバスであるRD34c、書き込みリセットであるWRST34d、書き込みクロックであるWCLK34e、読み出しリセットであるRRST34f、読み出しクロックであるRCLK34g、BOA34h、BOB34i、書き込みバスを切り替えるゲート34j、読み出しバスを切り替えるゲート34kを図上に示す。

【0071】フィールドメモリは、ほぼFIFOメモリのような先入れ先出し動作ができるが、そのメモリ領域の全てについて完全な非同期入出力はできず、一定の周期で書き込みと読み出しをオーバーラップさせてデータ転送を行わなければならない。ここでは、連続したストリームデータのデータ転送を行なうので、データが途切れることはなく、フレームパルスの周期で書き込みと読み出しをオーバーラップさせてデータ転送を行うことができる。

【0072】フィールドメモリ34aは、WD34bから書き込まれたデータをRD34cから読み出す。WD34bは、WRST34dによって書き込み位置がフレームごとにリセットされ、WCLK34eに合わせてデータが書き込まれる。RD34cは、RRST34fによって読み出し位置がフレームごとにリセットされ、RCLK34gに合わせてデータが読み出される。

【0073】BOA34hは、バッファコントローラ30と接続される。BOB34iは、I/Oコントローラ40aと接続される。ゲート34jとゲート34kは、バッファコントローラ30とI/Oコントローラ40aとの間で、両方向のデータ転送を行うために、BOA34hとBOB34iの2つのバスを切り替える。

【0074】このように、バッファ33aは、バスを切り替えることによって、データ転送の方向を決定し、バッファコントローラ30とI/Oコントローラ40aとの間で、連続したストリームデータのデータ転送のバッファリングを行うことができる。なお、バッファ33aを構成するフィールドメモリ34aのメモリ容量は、数(2~3)フレーム分程度の量で十分である。ここでは、フィールドメモリ34aのメモリ容量は、2フレーム分の250Kbyteである。

【0075】<FP44a、FP44b、FP44c及びFP44dの詳細構成>図13は、図5に示す制御線FP44aを示す図である。なお、FP44b、FP44c及びFP44dは、FP44aと基本的に同じ構成であるのでその説明を省略する。I/Oコントローラ40aによりポート41aから受信されたフレームパルスが、制御線FP44aを介してDMAコントローラ20へ伝達され、図6(b)に示すFP22oがセットされる。

<動作>まず、図1に示すシステムにおいて、HDD14a、HDD14b、HDD14c及びHDD14dに格納されたストリームデータをマルチストリームインターフェイス15を介して出力する場合の動作について説明する。

【0076】<CPU10の動作>図14は、本発明に係るデータ転送システムを用いた場合の、CPU10におけるストリームデータの転送の処理の流れを示す図である。以下にその動作を説明する。

1. あるユーザからあるストリームデータの転送要求が発生する(ステップS1)。

【0077】2. 特定されたストリームデータを1フレーム単位毎に、HDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送するためのHDDコマンドを作成して、メモリ11に一旦記憶する(ステップS2)。

3. SCSIインターフェイス13がHDDコマンドを受け付けられるようになるまで待つ(ステップS3)。

【0078】4. メモリ11からSCSIインターフェイス13へ、ステップS2で作成したHDDコマンドを転送する(ステップS4)。

5. メモリ11に格納された1フレーム単位のストリームデータを、メモリ11から特定された外部機器へDMA転送するための外部機器別コマンドとコマンドリストを作成してメモリ11に記憶する(ステップS5)。

【0079】6. SCSIインターフェイス13により、ストリームデータの1フレーム単位が、HDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送されるのを待つ(ステップS6)。

7. マルチストリームインターフェイス15が外部機器別コマンドを受け付けられるようになるまで待つ(ステップS7)。

【0080】8. メモリ11からマルチストリームインターフェイス15へ、ステップS5で作成された外部機器別コマンドを転送する(ステップS8)。

9. 転送要求されたストリームデータが全フレーム転送されたか否かを判断し、全フレーム転送されたか判断されなかった場合は動作を終了し、まだ全フレーム転送されていないと判断された場合は、ステップS2のHDDコマンドの作成へ戻る(ステップS9)。

【0081】CPU10は、接続された外部機器毎に、上記の動作を並列に実行する。ここで、メモリ11内に確保されたバッファ領域は、ユーザ空間では論理アドレスで示されるが、データ転送時は物理アドレスで示される。したがって、データ転送時は、バッファ領域の論理アドレスが物理アドレスに変換されて4KBのデータサイズ毎にばらばらになっている状態に基づいて、コマンドリストが作られる。

【0082】なお、通常は、コマンドリストに含まれる

DMA転送のデータサイズは、1ページ分の4KBであるが、4KBのデータサイズを確保できない場合がある。例えば、ストリームデータの1フレームが10、000バイトの場合には、4096バイト、4096バイト及び1808バイトの3つに分割される為、最後の1808バイトが4KBのデータサイズを確保できない。

【0083】ここで、このバッファ領域は、ページアウトされないように、OSに対してロックされた領域である。

<SCSIインターフェイス13の動作>SCSIインターフェイス13は、CPU10により、特定されたストリームデータを1フレーム単位毎に、HDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送するためのコマンドを転送され、このコマンドに基づいて、ストリームデータの1フレーム単位を、HDD14a、HDD14b、HDD14c又はHDD14dからメモリ11へDMA転送する。なお、SCSIインターフェイス13の詳細な動作については、従来のDMA転送装置と同様なので、その説明を省略する。

【0084】<マルチストリームインターフェイス15の動作>マルチストリームインターフェイス15は、CPU10により、メモリ11に格納された1フレーム単位のストリームデータをメモリ11から特定された外部機器へDMA転送するためのコマンドと、コマンドリストのアドレスを転送され、このコマンドとコマンドリストのアドレスに基づいて、メモリ11に格納されたコマンドリストを読み出し、このコマンドリストに基づいて、ストリームデータの1フレーム単位を、メモリ11から特定された外部機器へDMA転送する。なお、マルチストリームインターフェイス15の詳細な動作については後述する。

【0085】次に、上記のようなDMA転送で用いられる、バッファをフレーム単位で管理する方法とダブルバッファ方式でメモリ11内のバッファ領域を管理する方法について説明する。

<バッファをフレーム単位で管理する方法とダブルバッファ方式でメモリ11内のバッファ領域を管理する方法>ビデオデータは連続した複数のフレームで構成され、通常は30フレームで1秒の画像に相当する。例えば30Mbpsのデータレートでのビデオデータの場合では、1フレーム当りのデータサイズは125KBとなる。

【0086】バッファをフレーム単位で管理する方法は、一旦メモリ11内のバッファ領域に1フレーム分のストリームデータを格納し、この1フレームをマルチストリームインターフェイス15に転送することである。ダブルバッファ方式でメモリ11内のバッファ領域を管理する方法は、1フレームのサイクルごとに、ダブルバッファの一方のバッファをSCSIインターフェイス13が使用し、他方のバッファをマルチストリームインタ

ーフェイス15が使用することであり、並行して2つのインターフェイスの処理を実行することができる。

【0087】なお、各ポートからストリームデータを入力する場合も、出力の場合とデータ転送の方向及び手順が逆になるだけで容易に実現される。各ポートから取り込まれたストリームデータは、マルチストリームインターフェイス15によってメモリ11上のバッファ領域に一旦格納され、SCSIインターフェイス13によってHDD14a、HDD14b、HDD14c又はHDD14dに格納される。

【0088】次に、システムバス12におけるデータ転送の動作について説明する。

<システムバス12におけるデータ転送の動作>システムバス12として例えばPCIローカルバスを使用している場合などでは、メモリアドレスとデータとは多重化されている。このため、システムバス12上には先ずアドレスが出力されて、メモリ11のロケーションが特定される。このアドレスの出力に続いてデータが出力され、このアドレスで指定されたメモリ11のロケーションから順に複数のデータが転送される。このようなデータ転送をバースト転送と呼ぶ。つまり、一つのバースト転送では、先頭がアドレスで、残りがデータということが決まっている。従って、この時のアドレスは先頭値だけであり、ひとつのバースト転送の間は、アドレスの先頭値から連続するアドレスに対しての転送が可能である。1回のバースト転送長は、例えばPCIローカルバスの場合、PCIローカルバス上のデバイスに固有のレイテンシタイムで指定される値以下の大きさである。ここでは、BFIFO23の容量とする。また、1回のPCIローカルバス上のバースト転送トランザクションは、バスのマスタとなるデバイスがバス要求(REQ)を出力し、バス使用許可(GNT)が返されてからアクセスを開始する。

【0089】通常のストリームデータのバースト転送は、例えば1フレームが125KBの場合は、連続的に125KBの領域が順番にDMA転送される訳ではなく、数個から数十個の連続するデータ単位に区切られて実行される。こうする事によって、システムバス12上に多数のデバイス(CPU10、メモリ11、SCSIインターフェイス13又はマルチストリームインターフェイス15等)が接続されていたとしても、システムバス12にバス要求REQを出しているデバイスに順にシステムバス12の使用権を割り当てながらバースト転送を行なうことで、効率的にシステムバス12を使用してデータ転送を行なうことができる。なお、これは、ストリームデータの入力と出力に関りなく実行される。

【0090】<マルチストリームインターフェイス15の詳細な動作>

<バスコントローラ21の詳細な動作>図15は、本発明に係るデータ転送システムを用いた場合の、バスコン

トローラ21におけるストリームデータの転送の処理の流れを示す図である。以下、図1、図2、図3、図4、図5、図6(a)、図6(b)、図8及び図11を用いてその動作を説明する。

【0091】ここでは、図2に示すストリームデータと図3に示すチェインリストが、あらかじめメモリ11に格納されており、さらに、ポート41aに対応するコントロールレジスタ22gの内容であるDONE22mが「1」の時に、CPU10によりチェインアドレスカウンタ22cに図3に示すコマンドリストA64aのコマンドリストアドレスA68aが転送され、コントロールレジスタ22gの内容であるRUN22iに「1」、DONE22mに「0」、IO22nに「0」及びFP22oに「0」が転送されるものとする。

【0092】1. ポート番号pnの初期設定を行なう。なお、このポート番号pnは、0、1、2及び3がそれぞれポート41a、ポート41b、ポート41c及びポート41dに対応する番号であり、ここでは、初期値として「0」を代入する(ステップS11)。

2. ポート番号pnに対応するポートのコントロールレジスタの内容が、RUN=1、DONE=0及びFP=1であるか否かを判断する。ここでRUN=1は、対応するポートに対してDMA転送を起動することを示し、DONE=0は、対応するポートに対するDMA転送が終了していないことを示し、FP=1は、対応するポートからフレームバースを受信したことを示すこととする。このうち、1つでも条件を満たさないと判断された場合はポート番号pnをインクリメントしに行き、全ての条件を満たすと判断された場合は、DMA転送しに行く(ステップS12)。

【0093】3. 1つでも条件を満たさないと判断された場合は、次のポートの判断を行う為、ポート番号pnをインクリメントする(ステップS13)。

4. ポート番号pnが、最大のポートナンバーより大きい場合は、ポート番号pnの初期設定へ行く。ここでは、最大のポートナンバー「3」より大きい場合は、初期値「0」を代入しにステップS11へ行き、最大のポートナンバー「3」より大きくない場合は、コントロールレジスタを判断しにステップS12へ行く(ステップS14)。

【0094】5. ステップS12により全ての条件を満たすと判断された場合は、ポート番号pnに対応するポートのチェインアドレスカウンタに格納されたコマンドリストアドレスが示すコマンドリストを取得し、そのコマンドリストに含まれるスタートアドレスをDMAアドレスカウンタに転送し、そのコマンドリストに含まれるストリームデータのサイズをDMAデータカウンタに転送し、また、チェインアドレスカウンタに格納されたコマンドリストアドレスを、次のコマンドリストアドレスに更新する。

【0095】ここでは、例えば、全ての条件を満たすと判断された場合は、ポート番号 $p_n$ 「0」に対応するポート41aのチェインアドレスカウンタ22cに格納されたコマンドリストアドレスA68aが示すコマンドリストA64aを取得し、そのコマンドリストA64aに含まれるスタートアドレスA65aをDMAアドレスカウンタ22aに転送し、そのコマンドリストA64aに含まれるデータサイズA67aをDMAデータカウンタ22bに転送し、また、チェインアドレスカウンタ22cに格納されたコマンドリストアドレスA68aを、インクリメントして次のコマンドリストアドレスB68bに更新する(ステップS15)。

【0096】6. バスコントローラ21が、ポート番号 $p_n$ とそのポート番号 $p_n$ に対応するポートのコントロールレジスタの内容とBFIFO23のメモリ容量とDMAデータカウンタ22bの内容とに基づいてバッファコマンド22pを生成し、データ長32gの内容が「0」になるのを待って、バッファコマンド22pをバッファコントローラ30へ送信し、DMAアドレスカウンタ22aに格納されたスタートアドレスで示されるメモリ11内のバッファ領域とBFIFO23の間で、ストリームデータをバースト転送し、バースト転送した分だけ、DMAアドレスカウンタ22aに格納されたスタートアドレスをインクリメントしDMAデータカウンタ22bに格納されたデータサイズをデクリメントする。ここでは、例えばポート番号 $p_n$ 「0」とポート41aのコントロールレジスタ22gの内容とBFIFO23のメモリ容量とDMAデータカウンタ22bの内容とに基づいてバッファコマンド22pを生成し、バッファコントローラ30へ送信し、DMAアドレスカウンタ22aに格納されたスタートアドレスで示されるメモリ11内のバッファ領域とBFIFO23の間で、32ワード分のストリームデータをバースト転送し、DMAアドレスカウンタ22aの内容を32ワード分インクリメントしDMAデータカウンタ22bの内容を32ワード分デクリメントする(ステップS16)。

【0097】7. DMAデータカウンタ22bに格納されたデータサイズが「0」か否かを判断する。データサイズが「0」であると判断された場合は、DMAコマンドビットのチェックへ行き、「0」でないと判断された場合は、「0」になるまで、バースト転送を繰り返す(ステップS17)。

8. データサイズが「0」であると判断された場合は、ステップS15で取得したコマンドリストに含まれるDMAコマンドビットの値をチェックして、以下のステップで次のDMA転送の操作を決定する。ここでは、DMAコマンドビットA66aの値をチェックする(ステップS18)。

【0098】9. DMAコマンドビットの値がチェインリストの終了66fを示す場合は、DONEをセットし

て割り込み信号を生成し、別のポートに対してDMA転送する為に、ステップS13へ戻る(ステップS19、ステップS20)。

10. DMAコマンドビットの値がフレームパルス待ち66gを示す場合は、FPをリセットして、別のポートに対してDMA転送する為に、ステップS13へ戻る(ステップS21、ステップS22)。

【0099】11. DMAコマンドビットの値が同一ポート66dを示す場合は、同じポートに対してDMA転送する為に、ステップS15へ戻る。DMAコマンドビットの値がポートの切り替え66eを示す場合は、別のポートに対してDMA転送する為に、ステップS13へ戻る(ステップS23)。

<バッファコントローラ30の詳細な動作>図16は、本発明に係るデータ転送システムを用いた場合の、バッファコントローラ30におけるストリームデータのバス変換の処理の流れを示す図である。以下、図5、図8、図10及び図11を用いてその動作を説明する。

【0100】1. 図15のステップS15に示すように、バッファインターフェイス31は、バスコントローラ21からバッファコマンド22pを転送されると(ステップS31)、バッファコマンド22pに含まれるMODE22qに基づいて、ポートに対応するナンバーをポートナンバーレジスタ32aに設定し、ポートに対応するin/outにデータ転送の方向を設定し、さらに、バッファコマンド22pに含まれるデータ長22rに基づいて、データ長32gを設定する(ステップS32)。

【0101】2. 図15のステップS16に示すように、バスコントローラ21によりストリームデータがBFIFO23へバースト転送され、BFIFO23がストリームデータを格納すると、バッファインターフェイス31がDMAコントローラ20に非同期で、バス変換を開始する(ステップS33)。

3. ラッチ35a、ラッチ35b、ラッチ35c及びラッチ35dが、一時的に8ビットのデータを保持する。ここでは、32ビットバスFDBを介してBFIFO23から転送されたデータが、8ビット毎に4分割されて一次的にラッチされる(ステップS34)。

【0102】4. バス幅変換部36が、バッファを選択しバス幅を32ビットから8ビットに変換する。ここでは、例えばバッファ33aを選択し(ステップS35)、ラッチ35a、ラッチ35b、ラッチ35c及びラッチ35dでラッチされた4つの8ビットデータを、順番に転送することによって、バス幅を32ビットから8ビットに変換する(ステップS36～ステップS39)。

【0103】5. 1回のバス幅変換が終了すると、転送したデータの分だけデータ長32gの値をデクリメントする(ステップS40)。

6. データ長32gの値が「0」であるか否かを判断する。「0」であると判断された場合は、新たなバッファコマンド22pの転送を受け付ける為にステップS31へ行き、「0」でないと判断された場合は、次の32ビットをバス変換する為にステップS33へ行く(ステップS41)。

【0104】<n倍速入力/出力の詳細な動作>n倍速入力/出力については、図5に4xport42の接続とxnmode43の接続を示したが、この動作は、基本的には前述の非同期マルチストリームのDMA転送動作と同じである。異なる点は、図11に示すバッファレジスタ32内の4xmode32bに、バッファコマンドにより4倍速モードが設定され、ここからxnmode43で示す制御信号が、I/Oコントローラ40a、I/Oコントローラ40b、I/Oコントローラ40c及びI/Oコントローラ40dに伝えられて、各ポートが4xport42に切替えられる点である。

【0105】例えば外部機器からの入力の場合は、4xport42からの信号が1フレームごとに別々のI/Oコントローラに順次入力される。なお、ここでは、4倍速の接続を説明したが、これを2つのポートと接続すれば2倍速となり、また、8つのポートと接続すれば8倍速となり、必要に応じて接続するポート数を決めればよい。

【0106】<複数ポートの同時動作>図17は、本発明に係るDMAコントローラ20を用いた場合の、複数ポートの同時動作の処理を示す図である。図18は、ポート41aにストリームデータをDMA転送する為のチェーンリストを示す図である。

【0107】図19は、ポート41bにストリームデータをDMA転送する為のチェーンリストを示す図である。図20は、ポート41cにストリームデータをDMA転送する為のチェーンリストを示す図である。図21は、ポート41dにストリームデータをDMA転送する為のチェーンリストを示す図である。

【0108】以下、図17、図18、図19、図20及び図21を用いてその動作を説明する。なお、メモリ11には、図18、図19、図20及び図21のチェーンリストと、これらのチェーンリストが示すストリームデータとが、各ポート毎のDMA転送コマンドの転送前にあらかじめ格納されるものとする。

【0109】1. CPU10によりポート41aへのDMA転送コマンドが転送された後、バスコントローラ21がポート41aからフレームパルス91aを受信する(タイムt1)。

2. フレームパルス91aを受信すると、ポート41aのコマンドリストAA71aに基づいて、スタートアドレスAA72aから始まる4096バイト分のストリームデータのDMA転送A95aを開始する(タイムt1~)。

【0110】3. DMA転送A95aが終了すると、ポート41aのDMAコマンドビットAA73aの値が「00」なので、同じポート41aの次のコマンドリストAB71bに基づいて、スタートアドレスAB72bから始まる4096バイト分のストリームデータのDMA転送A95bを開始する(タイムt2~)。

4. CPU10によりポート41bへのDMA転送コマンドが転送された後、バスコントローラ21がポート41bからフレームパルス92aを受信する(タイムt3)。

【0111】5. DMA転送A95bが終了すると、ポート41aのDMAコマンドビットAB73bの値が「01」なので、次のポート41bのコマンドリストBA76aに基づいて、スタートアドレスBA77bから始まる4096バイト分のストリームデータのDMA転送B96aを開始する(タイムt4~)。

6. DMA転送B96aが終了すると、ポート41bのDMAコマンドビットBA78aの値が「00」なので、同じポート41bの次のコマンドリストBB76bに基づいて、スタートアドレスBB77bから始まる4096バイト分のストリームデータのDMA転送B96bを開始する(タイムt5~)。

【0112】7. DMA転送B96bが終了すると、ポート41bのDMAコマンドビットBB78bの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41c及びポート41dはDMA転送コマンドが転送されていないのでバスし、ポート41aのコマンドリストAC71cに基づいて、スタートアドレスAC72cから始まる1808バイト分のストリームデータのDMA転送A95cを開始する(タイムt6~)。

【0113】8. DMA転送A95cが終了すると、ポート41aのDMAコマンドビットAC73cの値が「11」なので、ポート41aはフレームパルスA待ちとなり、次のポート41bのコマンドリストBC76cに基づいて、スタートアドレスBC77cから始まる1808バイト分のストリームデータのDMA転送B96cを開始する(タイムt7~)。

【0114】9. DMA転送B96cが終了すると、ポート41bのDMAコマンドビットBC78cの値が「11」なので、ポート41bはフレームパルスB待ちとなり、次のポートのDMA転送を開始しようとするが、ポート41c及びポート41dはDMA転送コマンドが転送されていないのでバスされ、ポート41aはフレームパルスA待ちなのでバスされ、ポート41bはフレームパルスB待ちなのでバスされる(タイムt8)。

【0115】10. バスコントローラ21がポート41aからフレームパルス91bを受信する(タイムt9)。

11. 「2.」の(タイムt1~)の動作と同様にし



31

て、DMA転送A95dを開始する(タイムt9~)。12. CPU10によりポート41cへのDMA転送コマンドが転送された後、バスコントローラ21がポート41cからフレームパルス93aを受信する(タイムt10)。

【0116】13. DMA転送A95dが終了すると、「3.」の(タイムt2~)の動作と同様にして、DMA転送A95eを開始する(タイムt11~)。

14. バスコントローラ21がポート41bからフレームパルス92bを受信する(タイムt12)。

15. DMA転送A95eが終了すると、「5.」の(タイムt4~)の動作と同様にして、DMA転送B96dを開始する(タイムt13~)。

【0117】16. DMA転送B96dが終了すると、「6.」の(タイムt5~)の動作と同様にして、DMA転送B96eを開始する(タイムt14~)。

17. DMA転送B96eが終了すると、ポート41bのDMAコマンドビットBE78eの値が「01」なので、次のポート41cのコマンドリストCA81aに基づいて、スタートアドレスCA82aから始まる4096バイト分のストリームデータのDMA転送C97aを開始する(タイムt15~)。

【0118】18. DMA転送C97aが終了すると、ポート41cのDMAコマンドビットCA83aの値が「00」なので、同じポート41cの次のコマンドリストCB81bに基づいて、スタートアドレスCB82bから始まる4096バイト分のストリームデータのDMA転送C97bを開始する(タイムt16~)。

19. DMA転送C97bが終了すると、ポート41cのDMAコマンドビットCB83bの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41dはDMA転送コマンドが転送されていないのでバスされ、ポート41aのコマンドリストAF71fに基づいて、スタートアドレスAF72fから始まる1808バイト分のストリームデータのDMA転送A95fを開始する(タイムt17~)。

【0119】20. DMA転送A95fが終了すると、「8.」の(タイムt7~)の動作と同様にして、DMA転送B96fを開始する(タイムt18~)。

21. DMA転送B96fが終了すると、ポート41bのDMAコマンドビットBF78fの値が「11」なので、ポート41bはフレームパルスB待ちとなり、次のポート41cのコマンドリストCC81cに基づいて、スタートアドレスCC82cから始まる1808バイト分のストリームデータのDMA転送C97cを開始する(タイムt19~)。

【0120】22. DMA転送C97cが終了すると、ポート41cのDMAコマンドビットCC83cの値が「11」なので、ポート41cはフレームパルスC待ちとなり、次のポートのDMA転送を開始しようとする

32

が、ポート41dはDMA転送コマンドが転送されていないのでバスされ、ポート41aはフレームパルスA待ちなのでバスされ、ポート41bはフレームパルスB待ちなのでバスされ、ポート41cはフレームパルスC待ちなのでバスされる(タイムt20)。

【0121】23. CPU10によりポート41dへのDMA転送コマンドが転送された後、バスコントローラ21がポート41dからフレームパルス94aを受信する(タイムt21)。

24. フレームパルス94aを受信すると、ポート41dのコマンドリストDA86aに基づいて、スタートアドレスDA87aから始まる4096バイト分のストリームデータのDMA転送D98aを開始する(タイムt21~)。

【0122】25. DMA転送D98aが終了すると、ポート41dのDMAコマンドビットDA88aの値が「00」なので、同じポート41dの次のコマンドリストDB86bに基づいて、スタートアドレスDB87bから始まる4096バイト分のストリームデータのDMA転送D98bを開始する(タイムt22~)。

26. DMA転送D98bが終了すると、ポート41dのDMAコマンドビットDB88bの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41aはフレームパルスA待ちなのでバスされ、ポート41bはフレームパルスB待ちなのでバスされ、ポート41cはフレームパルスC待ちなのでバスされ、次のポート41dのコマンドリストDC86cに基づいて、スタートアドレスDC87cから始まる1808バイト分のストリームデータのDMA転送D98cを開始する(タイムt23~)。

【0123】27. DMA転送D98cが終了すると、ポート41dのDMAコマンドビットDC88cの値が「11」なので、ポート41dはフレームパルスD待ちとなり、次のポートのDMA転送を開始しようとするが、ポート41aはフレームパルスA待ちなのでバスされ、ポート41bはフレームパルスB待ちなのでバスされ、ポート41cはフレームパルスC待ちなのでバスされ、ポート41dはフレームパルスD待ちなのでバスされる(タイムt24)。

【0124】28. 「2.」の(タイムt1~)の動作と同様にして、DMA転送A95gを開始する(タイムt25~)。

29. バスコントローラ21がポート41cからフレームパルス93bを受信する(タイムt26)。

30. DMA転送A95gが終了すると、ポート41aのDMAコマンドビットAG73gの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41bはフレームパルスB待ちなのでバスされ、次のポート41cのコマンドリストCD81dに基づいて、スタートアドレスCD82dから始まる4096バ

50

イト分のストリームデータのDMA転送C97dを開始する(タイムt27~)。

【0125】31. バスコントローラ21がポート41bからフレームパルス92cを受信する(タイムt28)。

32. DMA転送C97dが終了すると、「17.」の(タイムt15~)の動作と同様にして、DMA転送C97eを開始する(タイムt29~)。

33. DMA転送C97eが終了すると、ポート41cのDMAコマンドビットCE83eの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41dはフレームパルスD待ちなのでパスされ、次のポート41aのコマンドリストAH71hに基づいて、スタートアドレスAH72hから始まる4096バイト分のストリームデータのDMA転送A95hを開始する(タイムt30~)。

【0126】34. DMA転送A95hが終了すると、「15.」の(タイムt13~)の動作と同様にして、DMA転送B96gを開始する(タイムt31~)。

35. DMA転送B96gが終了すると、ポート41bのDMAコマンドビットBG78gの値が「01」なので、次のポート41cのコマンドリストCF81fに基づいて、スタートアドレスCF82fから始まる1808バイト分のストリームデータのDMA転送C97fを開始する(タイムt32~)。

【0127】36. DMA転送C97fが終了すると、ポート41cのDMAコマンドビットCF83fの値が「11」なので、ポート41cはフレームパルスC待ちとなり、次のポートのDMA転送を開始しようとするが、ポート41dはフレームパルスD待ちなのでパスされ、次のポート41aのコマンドリストA171iに基づいて、スタートアドレスA172iから始まる1808バイト分のストリームデータのDMA転送A95iを開始する(タイムt33~)。

【0128】37. DMA転送A95iが終了すると、ポート41aのDMAコマンドビットA173iの値が「10」なので、ポート41aはチェインリスト終了となり、次のポート41bのコマンドリストBH76hに基づいて、スタートアドレスBH77hから始まる4096バイト分のストリームデータのDMA転送B96hを開始する(タイムt34~)。

【0129】38. DMA転送B96hが終了すると、ポート41bのDMAコマンドビットBH78hの値が「01」なので、次のポートのDMA転送を開始しようとするが、ポート41cはフレームパルスC待ちなのでパスされ、ポート41dはフレームパルスD待ちなのでパスされ、ポート41aはチェインリスト終了なのでパスされ、次のポート41bのコマンドリストB176iに基づいて、スタートアドレスB177iから始まる1808バイト分のストリームデータのDMA転送B96

iを開始する(タイムt35~)。

【0130】39. DMA転送B96iが終了すると、ポート41bのDMAコマンドビットB178iの値が「10」なので、ポート41bはチェインリスト終了となり、次のポートのDMA転送を開始しようとするが、ポート41cはフレームパルスC待ちなのでパスされ、ポート41dはフレームパルスD待ちなのでパスされ、ポート41aはチェインリスト終了なのでパスされる(タイムt36)。

40. 「23. ~27.」の(タイムt21~タイムt24)の動作と同様にして、DMA転送D98d~DMA転送D98fを実行する(タイムt37~タイムt40)。

【0131】41. 「23. ~27.」の(タイムt21~タイムt24)の動作と同様にして、DMA転送C97g~DMA転送C97iを実行する(タイムt41~タイムt44)。

42. 「23. ~27.」の(タイムt21~タイムt24)の動作と同様にして、DMA転送D98g~DMA転送D98iを実行する(タイムt45~タイムt48)。

【0132】以上のようにして、本発明は、CPUがDMA転送に必要な情報を示すチェインリストをポート毎に生成することによって、ポート毎に一回のDMA転送で転送されるストリームデータのサイズや同一ポートで連続して実行されるDMA転送の回数を任意に設定することができる。このポート毎のチェインリストはメモリに格納され、そのアドレスがポート毎のチェインアドレスカウンタに転送される。

【0133】ここで、CPUからのポート毎のデータ転送要求コマンドと各ポートからのフレーム要求信号とがポート毎のコントロールレジスタに転送されると、データ転送要求コマンドとフレーム要求信号とが転送されたポートだけに順番に、対応するチェインアドレスカウンタに格納されたアドレスが示すチェインリストが取得されDMA転送されるので、ポート間の同期を取ることなく、ポート間のデータ転送の割合がほぼチェインリストで設定した通りになる。

【0134】なお、本発明はこれら実施の形態に限られないことは勿論である。即ち、BFIFO23のDMAコントローラ側とバッファコントローラ側は同じビット幅でなくてもよく、また、BFIFO23と各バッファのバス幅は同じでもよい。また、各バッファは、fileld memoryの代わりに双方向のFIFOやDRAMを使用してもよい。

【0135】さらに、DMAアドレスカウンタ22aの値は、ベースアドレスとDMAデータカウンタ22bの値を加算して生成してもよい。ここでは、DMAデータカウンタ22bは、データ転送毎にその値を順次インクリメントしていくが、この値をベースアドレスに加算す

ることでアドレスを生成してもよい。なお、解像度が高くビットレートが高いストリームデータの場合、例えば、1フレームのサイズが125,000バイトの場合は、1フレーム分のコマンドリストは、31エントリから成り、これがポート毎に切替えられながらDMA転送される。ここで、1つのポートについて見れば、他のポートがコマンドリストのどの部分を実行しているかに関係なく、ほぼ同じ性能でDMA転送することになる。

【0136】また、DMA転送の方向は、各ポートに対応するコントロールレジスタ内に保持されており、各DMAコマンドごとに切替えが行なわれるので、BFIFO23で複数のポートのデータが混じることはない。

【0137】

【発明の効果】

(DMAレジスタの構造のみ)以上の説明から明らかなように、本発明に係るデータ転送装置は、n個のポートとメモリとの間でストリームデータをそれぞれDMA転送するデータ転送装置であって、nは2以上の整数であり、前記メモリには少なくとも1組のコマンドリストがあらかじめ格納されておりまたストリームデータが格納されるメモリ領域が確保され、前記コマンドリストはそれぞれストリームデータが格納されるメモリ領域の先頭アドレスと格納されるストリームデータのサイズとを含み、n個のポートに対して兼用されn個のポートのうちの1個との間で次にストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、n個のポートに対して兼用され前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域とn個のポートのうちの1個との間でDMA転送されるストリームデータのサイズを格納するデータカウンタと、1個のポートにそれぞれ1個が対応しておりそれぞれ特定のコマンドリストが格納されているメモリのアドレスを格納するn個のチェインアドレスカウンタとを備え、特定のチェインアドレスカウンタに格納されたアドレスが示すコマンドリストはそのコマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応しそのコマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、前記データ転送装置は、さらに、前記特定のチェインアドレスカウンタに対応するポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段を備えることを特徴とする。

【0138】これによって、アドレスカウンタとデータカウンタとストリームデータ転送手段とが、複数のポートに対して兼用される。従って、比較的少ないハードウェア量で、複数のポートに複数のストリームデータを転送することができ、しかも拡張が容易である。

(コマンドリスト生成手段の追加)ここで、前記データ

転送装置は、さらに、コマンドリストを生成し前記メモリに格納しこのコマンドリストのアドレスをストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送するコマンドリスト生成手段を備えることを特徴とすることもできる。

【0139】これによって、ポート毎にコマンドリストを生成することができる。従って、各ポートに均等にDMA転送を割り当てることも、特定のポートに特定の割合でDMA転送を割り当てることもできる。

10 (ポート選択手段とコマンドリスト転送手段の追加)また、前記データ転送装置は、さらに、前記n個のポートから1個のポートを選択するポート選択手段と、前記ポート選択手段により1個のポートが選択される度に前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示すコマンドリストを取得しそのコマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送しそのコマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送した前記チェインアドレスカウンタに格納されたアドレスを次のアドレスに更新するコマンドリスト転送手段とを備え、前記ストリームデータ転送手段は前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に前記ポート選択手段により選択された1個のポートと前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域との間で前記データカウンタに格納されたサイズのストリームデータをDMA転送することを特徴とすることもできる。

30 【0140】これによって、順次ポートを選択し、選択されたポートに対してDMA転送することができる。従って、複数のポートを調停することができる。

(コマンドの追加とポート選択手段の限定)また、前記コマンドリストはそれぞれ、さらに、次に選択されるポートを変更するか否かを示すコマンドを含み、前記コマンドリスト転送手段は、さらに、前記ポート選択手段により1個のポートが選択される度に前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示すコマンドリストを取得しそのコマンドリストに含まれるコマンドを前記ポート選択手段へ渡し、前記ポート選択手段は前記ストリームデータ転送手段によりDMA転送が終了した場合にあらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択することを特徴とすることもできる。

40 【0141】これによって、連続してDMA転送する回数をポート毎に設定することができる。従って、各ポートに均等にDMA転送の回数を割り当てることも、特定のポートに特定の割合でDMA転送の回数を割り当てることもできる。

(転送要求信号の追加) また、前記 $n$ 個のポートのうち少なくとも1個からは一定量のストリームデータの転送要求を示す転送要求信号が出力され、前記データ転送装置は、さらに、ポート毎に転送要求信号を受信する受信手段を備え、前記ポート選択手段はポートを選択する場合に前記受信手段により転送要求信号が受信されたポートのみを選択することを特徴とすることもできる。

【0142】これによって、転送要求信号を発信したポートに対してのみDMA転送することができる。従って、ポート毎の転送要求に添ってDMA転送することが

できる。

(転送要求信号を一定時間毎に受信) また、前記 $n$ 個のポートのうち少なくとも1個からは転送要求信号が一定時間毎に出力され、前記受信手段は、さらに、1個のポートにそれぞれ1個が対応しており前記受信手段により対応するポートから転送要求信号が受信された場合に要求ビットをセットする $n$ 個の要求ビット記憶手段を含み、前記コマンドは次に選択されるポートを変更することを示す場合は、さらに、選択されているポートに対応する要求ビット記憶手段にセットされた要求ビットをクリアするか否かを示し、前記ポート選択手段は前記コマンドリスト転送手段に渡されたコマンドに基づいて選択されているポートに対応する要求ビット記憶手段にセットされた要求ビットをクリアするか又は何もせず、また、ポートを選択する場合に対応する要求ビット記憶手段に要求ビットがセットされているポートのみを選択することを特徴とすることもできる。

【0143】これによって、要求ビットのクリア後に、転送要求信号を発信したポートに対してのみDMA転送することができる。従って、ポート毎に同期をとりながらDMA転送することができる。

(バス幅変換手段の追加) また、前記データ転送装置は、さらに、前記ポート選択手段により1個のポートが選択される度に選択されたポートと前記データカウンタに格納されたストリームデータのサイズとに基づいてバス幅変換コマンドを生成しバス幅変換手段へ送信するバス幅変換コマンド生成手段を備え、バス幅変換コマンドはポートを特定する情報と転送するストリームデータのデータ長を特定する情報とを含み、前記データ転送装置は、さらに、前記バス幅変換コマンドに基づいて前記バス幅変換コマンドが示すポートのバス幅と前記メモリのバス幅とを交換しながら当該ポートとの間で前記バス幅変換コマンドが示すデータ長のストリームデータを転送するバス幅変換手段を備え、前記バス幅変換手段は $n$ 個のポートに対して兼用され、前記ストリームデータ転送手段は前記ポート選択手段により選択された1個のポートの代わりに前記バス幅変換手段との間でストリームデータをDMA転送することを特徴とすることもできる。

【0144】これによって、バス幅を変更することができるので、各ポートのバス幅とメモリのバス幅とを一致

させなくてもよい。従って、いろいろなバス幅のポートを接続することができる。また、各ポートへのバス幅を少なくでき、配線が減少しハードウェアが簡単になる。

(第1バッファ手段の追加) また、前記データ転送装置は、さらに、前記メモリと前記バス幅変換手段との間でストリームデータをバッファリングする第1バッファ手段を備え、前記第1バッファ手段は $n$ 個のポートに対して兼用され、前記ストリームデータ転送手段は前記バス幅変換手段の代わりに前記第1バッファ手段との間でストリームデータをDMA転送することを特徴とすることもできる。

【0145】これによって、ストリームデータをバッファリングすることができるので、各ポートとメモリとの、バス幅の違いや一回の転送速度の差等による総合的な転送レートの差を調整することができる。従って、メモリやシステムバス等のハードウェア資源を有効に活用することができる。

(第2バッファ手段の追加) また、前記データ転送装置は、さらに、1個のポートにそれぞれ1個が対応しており対応するポートと前記バス幅変換手段との間でストリームデータをバッファリングする $n$ 個の第2バッファ手段を備え、前記バス幅変換手段は当該ポートの代わりに前記第2バッファ手段との間でストリームデータを転送することを特徴とすることもできる。

【0146】これによって、ストリームデータをバッファリングすることができるので、DMA転送の変動をバッファ容量分だけ吸収できる。従って、複数のポートに対して、安定したデータ転送を行うことができる。

( $m$ 倍速ポートとI/Oコントローラの追加) また、前記データ転送装置は、さらに、 $m$ 倍速ポートとメモリとの間でストリームデータをDMA転送し、 $m$ は $n$ 以下の整数であり、前記データ転送装置は、さらに、 $m$ 個の第2バッファ手段のうちの1個にそれぞれ1個が対応しており対応するポート又は $m$ 倍速ポートを選択し対応する第2バッファ手段と対応するポート又は $m$ 倍速ポートとの間でストリームデータの入出力をコントロールする $m$ 個の第1I/Oコントローラと、前記 $m$ 個の第2バッファ手段以外の $(n-m)$ 個の第2バッファ手段のうちの1個にそれぞれ1個が対応しており対応する第2バッファ手段と対応するポートとの間でストリームデータの入出力をコントロールする $(n-m)$ 個の第2I/Oコントローラとを備え、前記 $n$ 個の第2バッファ手段は対応するポートの代わりに対応するI/Oコントローラとの間でストリームデータをバッファリングし、前記 $m$ 倍速ポートは $m$ 個の第1I/Oコントローラと接続されており前記 $n$ 個のポートは、それぞれ $m$ 個の第1I/Oコントローラと $(n-m)$ 個の第2I/Oコントローラと接続されていることを特徴とすることもできる。

【0147】これによって、 $m$ 倍速の入出力ポートにもポート側のわずかな配線の追加で対応でき、ソフトウェ

アをほとんど同じにすることができる。従って、非常に使い易いシステムとなる。

(データ転送システム) 本発明に係るデータ転送システムは、大規模記憶装置から $n$ 個のポートへストリームデータをそれぞれDMA転送するデータ転送システムであって、 $n$ は2以上の整数であり、あらかじめストリームデータが格納されている大規模記憶装置と、ストリームデータが格納される領域が確保されているメモリと、第1コマンドリストを生成するコマンドリスト生成手段とを備え、前記第1コマンドリストは前記大規模記憶装置に格納されたストリームデータを特定する情報とストリームデータが格納されるメモリ領域のアドレスを特定する情報と格納されるストリームデータのサイズを特定する情報とを含み、前記データ転送システムは、さらに、前記コマンドリスト生成手段から転送された第1コマンドリストに基づいて大規模記憶装置からメモリへサイズの特定期間されたストリームデータをDMA転送する第1データ転送装置を備え、前記コマンドリスト生成手段は、さらに、前記第1コマンドリストを前記第1データ転送装置に転送し第2コマンドリストを生成し前記メモリに格納し、前記第2コマンドリストはストリームデータが格納されるメモリ領域の先頭アドレスと格納されるストリームデータのサイズと次に選択されるポートを変更するか否かを示すコマンドとを含み、前記データ転送システムは、さらに、第2データ転送装置を備え、前記第2データ転送装置は、 $n$ 個のポートに対して兼用され $n$ 個のポートのうちの1個へ次にストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、 $n$ 個のポートに対して兼用され前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から $n$ 個のポートのうちの1個へDMA転送されるストリームデータのサイズを格納するデータカウンタと、1個のポートにそれぞれ1個が対応しておりそれぞれ特定の第2コマンドリストが格納されているメモリのアドレスを格納する $n$ 個のチェインアドレスカウンタとを含み、特定のチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストはその第2コマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応しその第2コマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、前記第2データ転送装置は、さらに、前記 $n$ 個のポートから1個のポートを選択するポート選択手段と、前記ポート選択手段により1個のポートが選択される度に前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストを取得しその第2コマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送しその第2コマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送しその第2コマンドリストに含まれるコマン

ドを前記ポート選択手段へ渡し、また、前記チェインアドレスカウンタに格納されたアドレスを次のアドレスに更新するコマンドリスト転送手段と、前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から前記ポート選択手段により選択された1個のポートへ前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段とを含み、前記ポート選択手段は前記ストリームデータ転送手段によりDMA転送が終了した場合にあらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択し、前記ストリームデータ転送手段は前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域から前記ポート選択手段により選択された1個のポートへ前記データカウンタに格納されたサイズのストリームデータをDMA転送し、前記コマンドリスト生成手段は、さらに、前記第1データ転送装置によりサイズの特定期間されたストリームデータがメモリへDMA転送されるのを待ってこの第2コマンドリストのアドレスをストリームデータがDMA転送されるポートに対応するチェインアドレスカウンタに転送することを特徴とする。

【0148】また、本発明に係るデータ転送システムは、 $n$ 個のポートから大規模記憶装置へストリームデータをそれぞれDMA転送するデータ転送システムであって、 $n$ は2以上の整数であり、ストリームデータが格納される領域が確保されている大規模記憶装置と、ストリームデータが格納される領域が確保されているメモリと、第2コマンドリストを生成し前記メモリに格納するコマンドリスト生成手段とを備え、前記第2コマンドリストはストリームデータが格納されるメモリ領域の先頭アドレスと格納されるストリームデータのサイズと次に選択されるポートを変更するか否かを示すコマンドとを含み、前記データ転送システムは、さらに、第2データ転送装置を備え、前記第2データ転送装置は、 $n$ 個のポートに対して兼用され $n$ 個のポートのうちの1個から次にストリームデータがDMA転送されるメモリ領域の先頭アドレスを格納するアドレスカウンタと、 $n$ 個のポートに対して兼用され $n$ 個のポートのうちの1個から前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域へDMA転送されるストリームデータのサイズを格納するデータカウンタと、1個のポートにそれぞれ1個が対応しておりそれぞれ特定の第2コマンドリストが格納されているメモリのアドレスを格納する $n$ 個のチェインアドレスカウンタとを含み、特定のチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストはその第2コマンドリストに含まれるメモリ領域の先頭アドレスが前記アドレスカウンタの内容と対応しそ

の第2コマンドリストに含まれるストリームデータのサイズが前記データカウンタの内容と対応し、前記第2データ転送装置は、さらに、前記n個のポートから1個のポートを選択するポート選択手段と、前記ポート選択手段により1個のポートが選択される度に前記ポート選択手段により選択された1個のポートに対応するチェインアドレスカウンタに格納されたアドレスが示す第2コマンドリストを取得しその第2コマンドリストに含まれるメモリ領域の先頭アドレスを前記アドレスカウンタに転送しその第2コマンドリストに含まれるストリームデータのサイズを前記データカウンタに転送しその第2コマンドリストに含まれるコマンドを前記ポート選択手段へ渡し、また、前記チェインアドレスカウンタに格納されたアドレスを、次のアドレスに更新するコマンドリスト転送手段と、前記ポート選択手段により選択された1個のポートから前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域へ前記データカウンタに格納されたサイズのストリームデータをDMA転送するストリームデータ転送手段とを含み、前記ポート選択手段は前記ストリームデータ転送手段によりDMA転送が終了した場合にあらかじめ決められた順序と前記コマンドリスト転送手段に渡されたコマンドとに基づいて次の順番のポートを新たに選択するか又は直前に選択したポートを再度選択し、前記ストリームデータ転送手段は前記コマンドリスト転送手段によりストリームデータのサイズが前記データカウンタに転送される度に前記ポート選択手段により選択された1個のポートから前記アドレスカウンタに格納された先頭アドレスが示すメモリ領域へ前記データカウンタに格納されたサイズのストリームデータをDMA転送し、前記コマンドリスト生成手段は、さらに、前記第2コマンドリストのアドレスを前記第2データ転送装置に転送し第1コマンドリストを生成し前記メモリに格納し、前記第1コマンドリストは前記大規模記憶装置に格納されたストリームデータを特定する情報とストリームデータが格納されるメモリ領域のアドレスを特定する情報と格納されるストリームデータのサイズを特定する情報とを含み、前記データ転送システムは、さらに、前記コマンドリスト生成手段から転送された第1コマンドリストに基づいてメモリから大規模記憶装置へサイズの特定されたストリームデータをDMA転送する第1データ転送装置を備え、前記コマンドリスト生成手段は、さらに、前記第2データ転送装置によりサイズの特定されたストリームデータがメモリへDMA転送されるのを待ってこの第1コマンドリストを前記第1データ転送装置に転送することを特徴とすることもできる。

【0149】これによって、複数のポートを調停することができるので、複数のストリームデータを効率よく転送することができる。また、複数の入出力装置に対する転送を比較的少ないハードウェア量で実現することができ、しかも拡張が容易である。さらに、この複数のスト

リームデータは非同期であってもよく、非同期な各ポートに均等にDMA転送を割り当てることも、特定のポートに特定の割合でDMA転送を割り当てることもできる。

【0150】また、互いに他のポートの転送状態に影響されずに、ストリームデータを転送できる。従って、システムバス上には各ポートのデータがバースト転送単位で分散され、システム全体としてマルチポートマルチデバイスのデータ転送を効率よく実行できる。

#### 10 【図面の簡単な説明】

【図1】本発明の実施例におけるデータ転送システムの概略を示す図である。

【図2】ストリームデータが一次的に格納される、メモリ11内に確保されたバッファ領域を示す図である。

【図3】メモリ11に格納されるコマンドリストの構成を示す図である。

【図4】DMAコマンドビットの内容を示す図である。

【図5】マルチストリームインターフェイス15の詳細な構成を示す図である。

20 【図6】図6(a)は、DMAレジスタ22の詳細な構成を示す図である。図6(b)は、コントロールレジスタ22gの内部のビットフィールドの構成を示した図である。

【図7】バスコントローラ21の詳細な構成を示す図である。

【図8】バッファコマンド生成部により生成されるバッファコマンド22pの内部のビットフィールドの構成を示した図である。

【図9】BFIFO23の詳細な構成を示す図である。

30 【図10】バッファインターフェイス31の詳細な構成を示す図である。

【図11】バッファレジスタ32の詳細な構成を示す図である。

【図12】バッファ33aの詳細な構成を示す図である。

【図13】制御線FP44aを示す図である。

【図14】本発明に係るデータ転送システムを用いた場合の、CPU10におけるストリームデータの転送の処理の流れを示す図である。

40 【図15】本発明に係るデータ転送システムを用いた場合の、バスコントローラ21におけるストリームデータの転送の処理の流れを示す図である。

【図16】本発明に係るデータ転送システムを用いた場合の、バッファコントローラ30におけるストリームデータのバス変換の処理の流れを示す図である。

【図17】本発明に係るDMAコントローラ20を用いた場合の、複数ポートの同時動作の処理を示す図である。

50 【図18】ポート41aにストリームデータをDMA転送する為のチェインリストを示す図である。

【図19】ポート41bにストリームデータをDMA転送する為のチェインリストを示す図である。

【図20】ポート41cにストリームデータをDMA転送する為のチェインリストを示す図である。

【図21】ポート41dにストリームデータをDMA転送する為のチェインリストを示す図である。

【図22】従来のデータ転送システムの概略を示す図である。

【符号の説明】

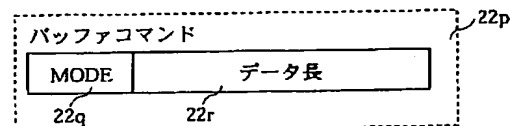
10 CPU  
11 メモリ  
12 システムバス  
13 SCSIインターフェイス  
14a、14b、14c、14d HDD（ハードディスクドライブ）  
15 マルチストリームインターフェイス  
16a、16b、16c ビデオモニター  
17 ビデオカセットレコーダ  
20 DMAコントローラ  
21 バスコントローラ  
21a フレームパルス受信部  
21b ポート選択部  
21c コマンドリスト転送部  
21d ストリームデータ転送部  
21e バッファコマンド生成部  
22 DMAレジスタ  
22a DMAアドレスカウンタ  
22b DMAデータカウンタ  
22c、22d、22e、22f チェインアドレスカウンタ  
22g、22h、22i、22j コントロールレジスタ  
22k ポートナンバーレジスタ  
22l RUN（コントロールレジスタの構成要素）  
22m DONE（コントロールレジスタの構成要素）  
22n IO（コントロールレジスタの構成要素）  
22o FP（コントロールレジスタの構成要素）

\* 23 B F I F O（バッファ）  
24a、24b I/Oポート  
25a、25b F I F O（バッファ）  
26a フラグEA（制御線）  
26b フラグEB（制御線）  
26c フラグFA（制御線）  
26d フラグFB（制御線）  
26e FDA（バス）  
26f FDB（バス）  
30 バッファコントローラ  
31 バッファインターフェイス  
32 バッファレジスタ  
32a ポートナンバーレジスタ  
32b 4×mode（レジスタ）  
32c、32d、32e、32f in/out（レジスタ）  
32g データ長（レジスタ）  
33a、33b、33c、33d バッファ  
34a フィールドメモリ  
34b WD（書き込み用のデータバス）  
34c RD（読み出し用のデータバス）  
34d WRST（書き込みリセット用制御線）  
34e WCLK（書き込みクロック用制御線）  
34f Rrst（読み出しリセット用制御線）  
34g RCLK（読み出しクロック用制御線）  
34h BOA（バス）  
34i BOB（バス）  
34j、34k ゲート  
35a、35b、35c、35d ラッチ  
30 36 バス幅変換部  
40a、40b、40c、40d I/Oコントローラ  
41a、41b、41c、41d ポート  
42 4×ポート  
43 ×nmode（制御線）  
44a、44b、44c、44d FP（制御線）  
50a、50b、50c、50d ストリームインターフェイス

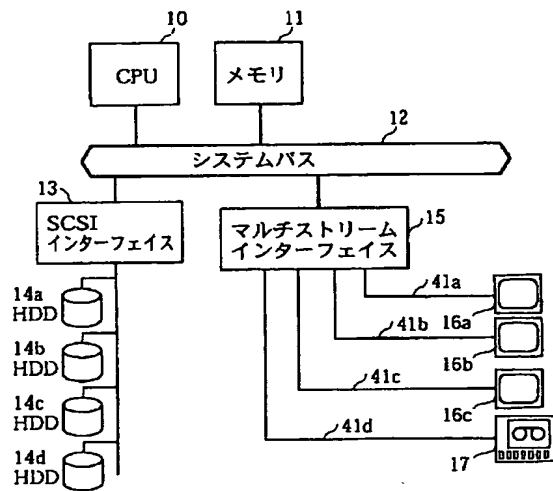
【図4】

DMA コマンド ビット	操作内容
00	同一ポート 66d
01	ポートの切り替え 66e
10	チェインリストの終了 66f
11	フレームパルス待ち 66g

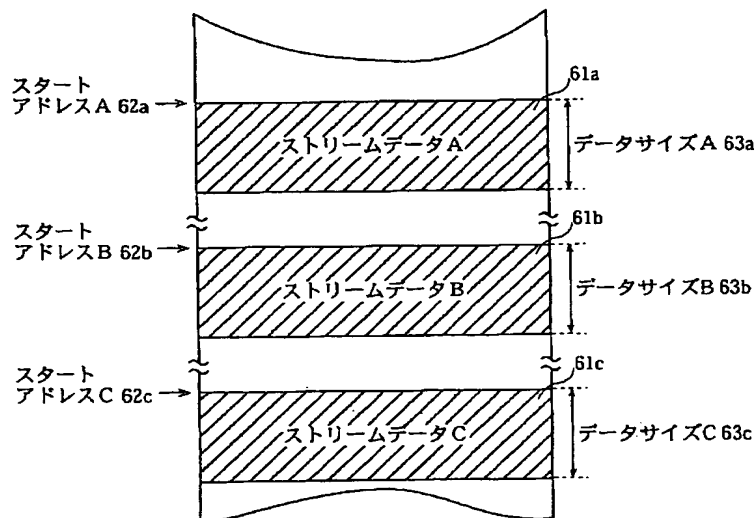
【図8】



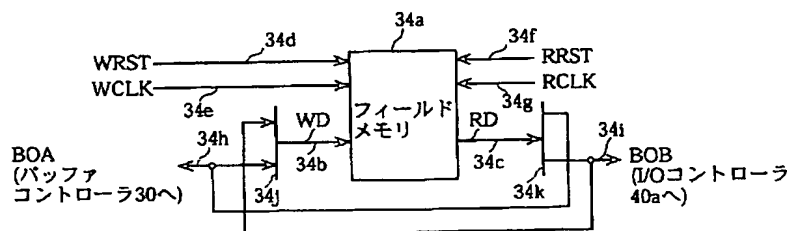
【図1】



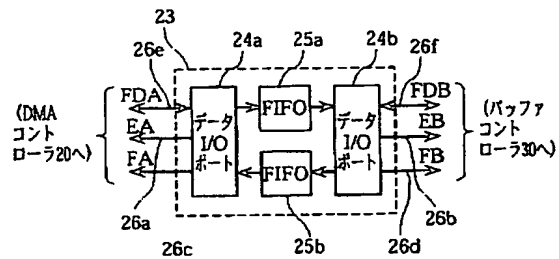
【図2】



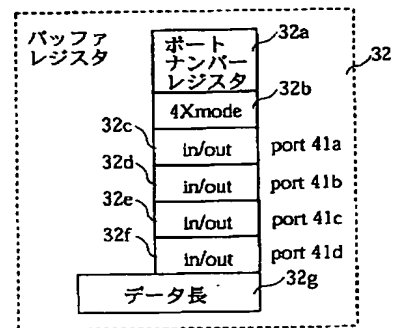
【図12】



【図9】

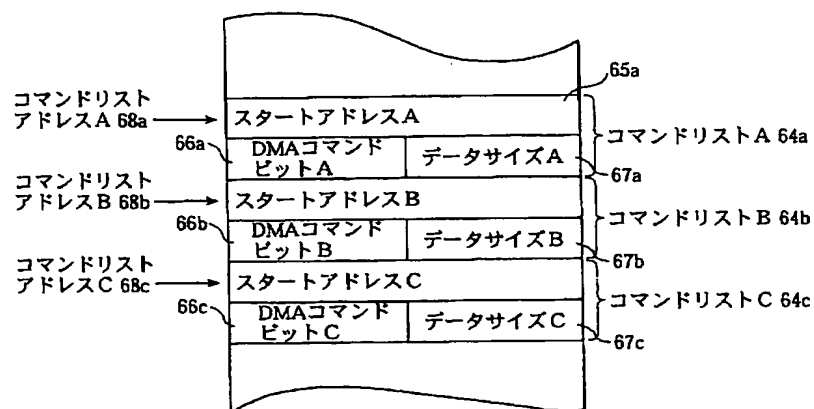


【図11】

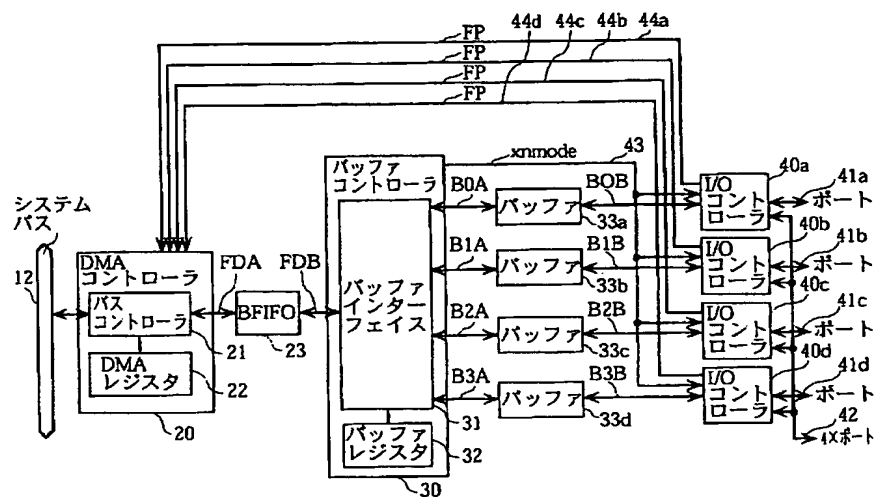




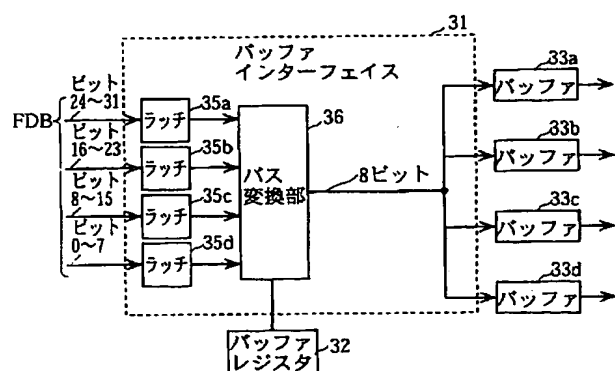
【図 3】



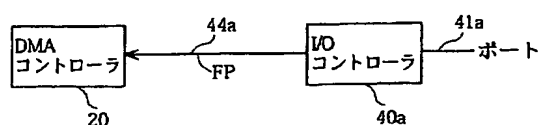
【圖5】



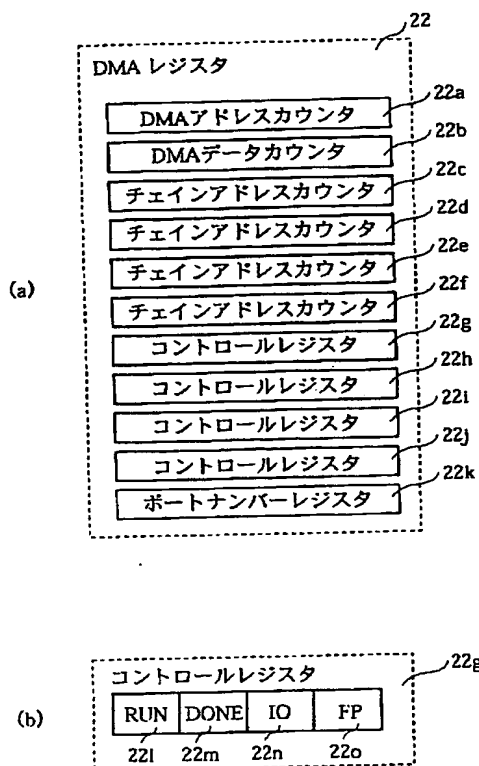
【圖 10】



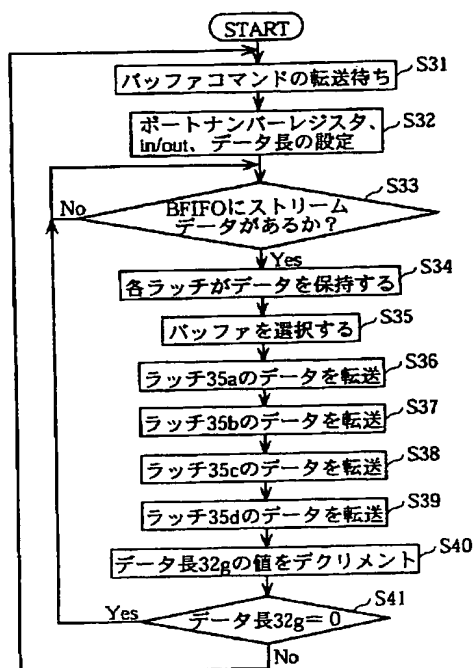
【图 13】



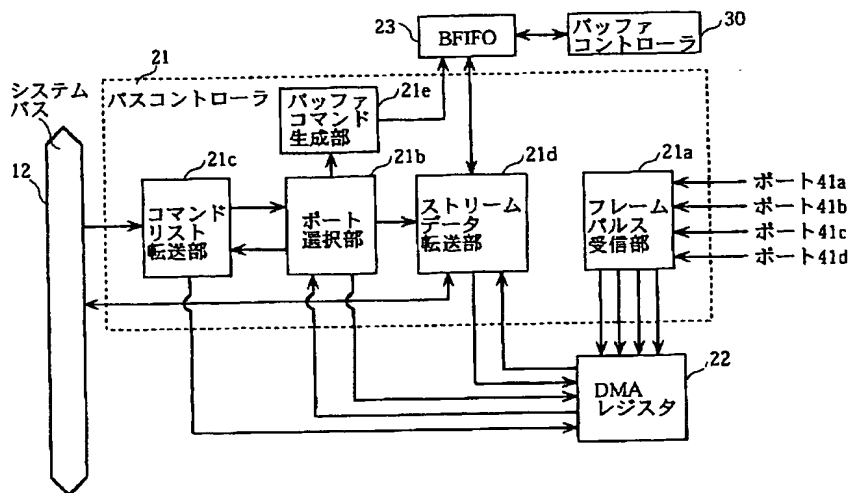
【図6】



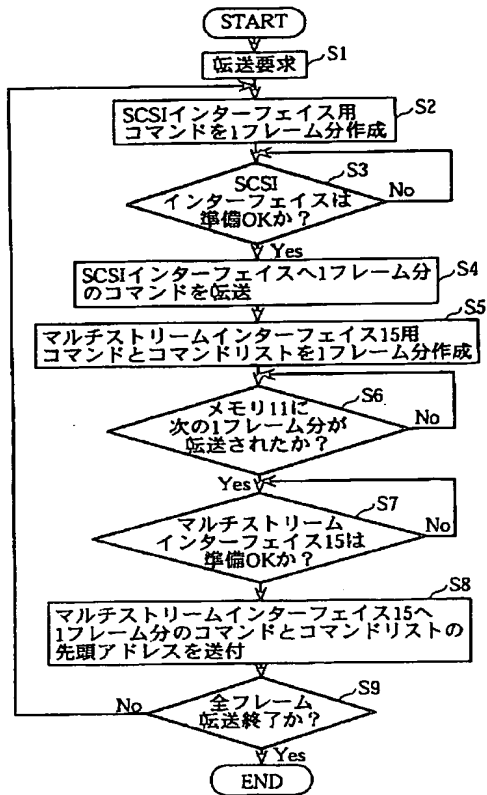
【図16】



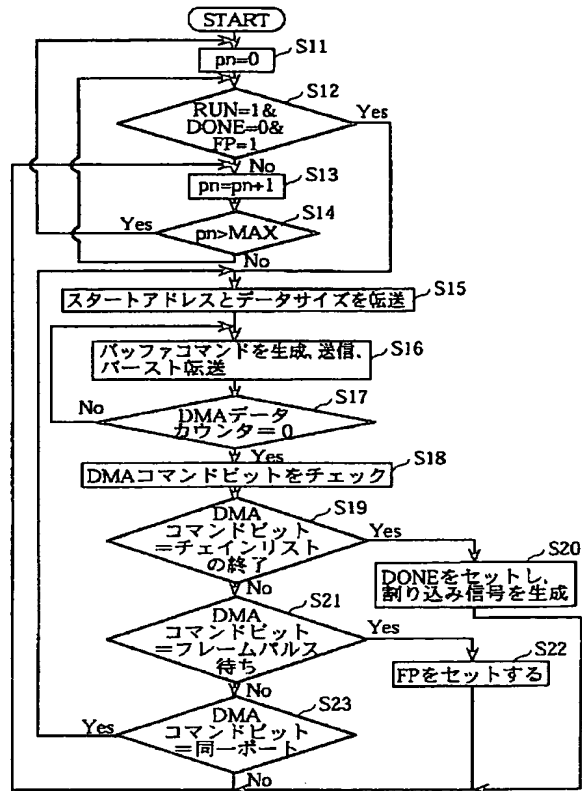
【図7】



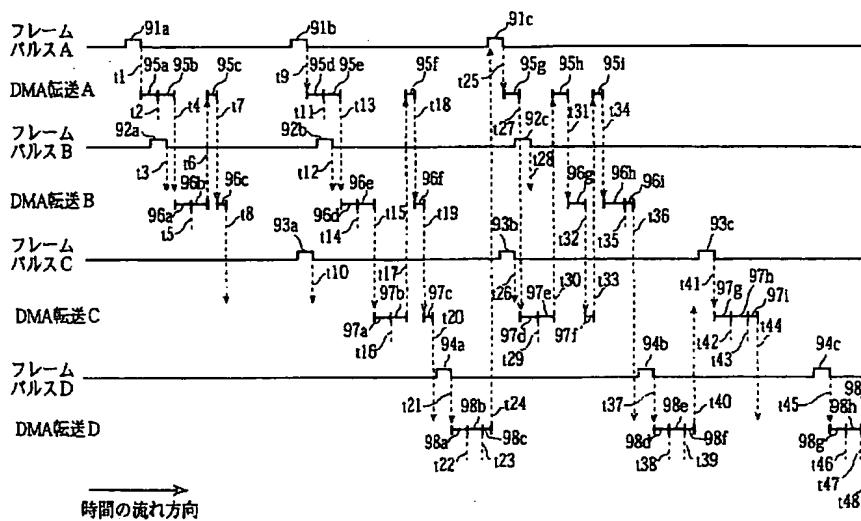
【図14】



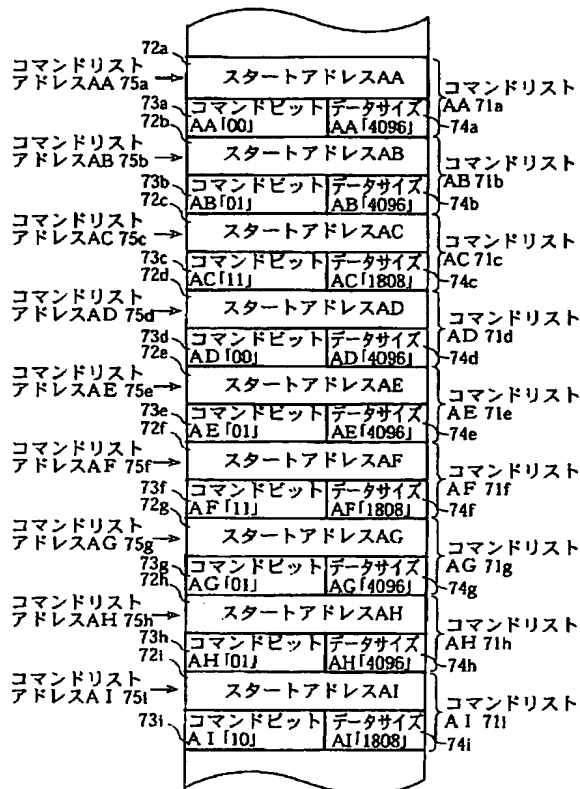
【図15】



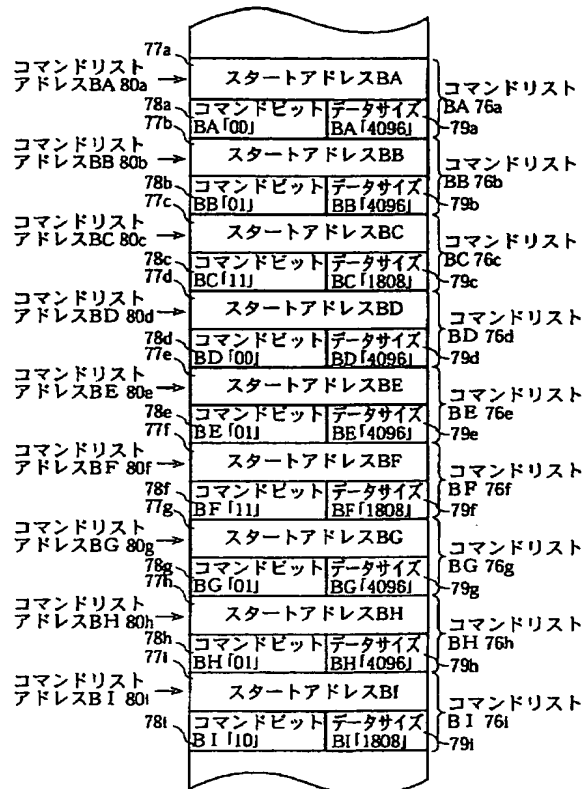
【図17】



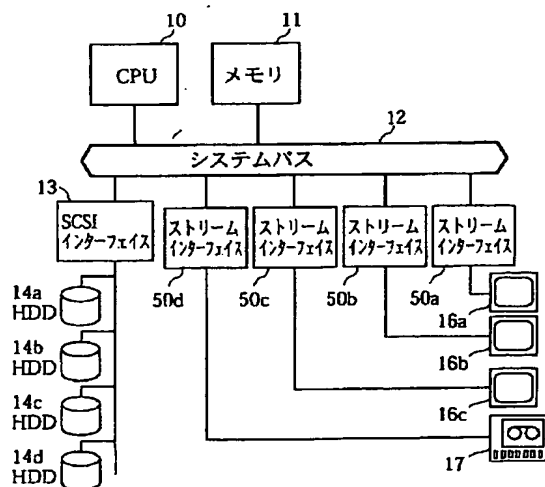
【図18】



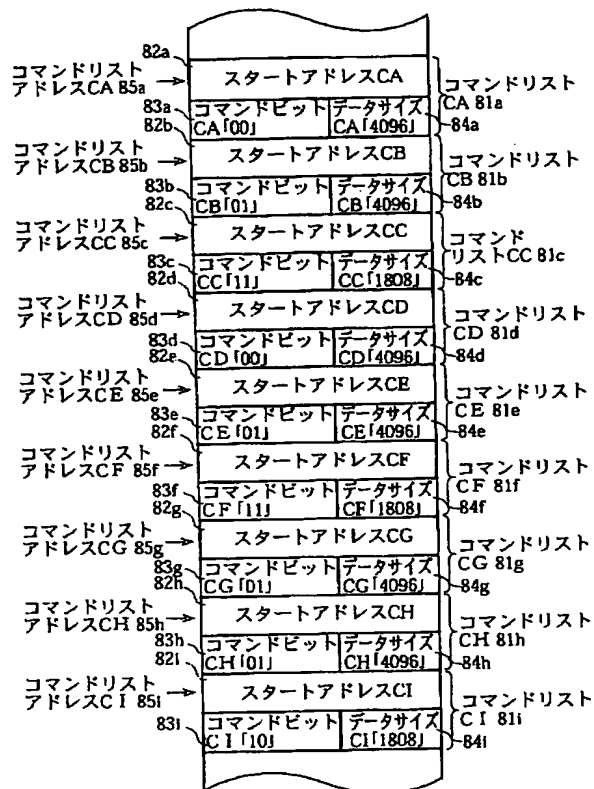
【図19】



【図22】



【図20】



【図21】

